

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/002680

International filing date: 15 February 2005 (15.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-045480
Filing date: 20 February 2004 (20.02.2004)

Date of receipt at the International Bureau: 31 March 2005 (31.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

15. 2. 2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 2 0 日
Date of Application:

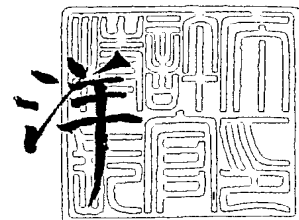
出 願 番 号 特 願 2 0 0 4 - 0 4 5 4 8 0
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 4 5 4 8 0]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 5 年 3 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 P007734
【提出日】 平成16年 2月20日
【あて先】 特許庁長官 殿
【発明者】
 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
 【氏名】 小山 潤
【特許出願人】
 【識別番号】 000153878
 【氏名又は名称】 株式会社半導体エネルギー研究所
 【代表者】 山崎 舜平
【手数料の表示】
 【予納台帳番号】 002543
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

絶縁基板上に第一の露光手段を用いて、変調回路と、復調回路と、論理回路とを有する複数の半導体装置を形成する工程と、
同一基板上に第二の露光手段を用いて、それぞれが異なる複数のメモリ回路を形成する工程を有することを特徴とした半導体装置の製造方法。

【請求項 2】

絶縁基板上にフォトレジストを塗布する工程と、
前記フォトレジストに第一の露光手段を用いて露光をおこない、変調回路と、復調回路と、論理回路を有する複数の半導体装置のパターン形成をおこなう第一の露光工程と、
前記フォトレジストに第二の露光手段を用いて露光をおこない、それぞれが異なる複数のメモリ回路のパターン形成をおこなう第二の露光工程と、
前記第一、第二の露光工程によって露光された前記フォトレジストを現像し、エッチングをおこなう工程を有することを特徴とした半導体装置の製造方法。

【請求項 3】

請求項 1 又は請求項 2 において、メモリ回路はマスク ROMであることを特徴とした半導体装置の製造方法。

【請求項 4】

請求項 1 乃至請求項 3 に記載のいずれか一項において、前記複数のメモリ回路の差異は記憶されるデータの差異であることを特徴とした半導体装置の製造方法。

【請求項 5】

請求項 1 乃至請求項 4 に記載のいずれか一項において、前記第二の露光手段はプログラムによって、露光内容を変えられることを特徴とした半導体装置の製造方法。

【請求項 6】

請求項 1 乃至請求項 5 に記載のいずれか一項において、前記第一の露光手段はミラープロジェクション露光装置を用いた露光手段であることを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 1 乃至請求項 5 に記載のいずれか一項において、前記第一の露光手段はステップ・アンド・リピート露光装置を用いた露光手段であることを特徴とした半導体装置の製造方法。

【請求項 8】

請求項 1 乃至請求項 5 に記載のいずれか一項において、前記第一の露光手段はステップ・アンド・スキャン露光装置を用いた露光手段であることを特徴とした半導体装置の製造方法。

【請求項 9】

請求項 1 乃至請求項 8 に記載のいずれか一項において、前記第二の露光手段は電子ビーム露光装置を用いた露光手段であることを特徴とした半導体装置の製造方法。

【請求項 10】

請求項 1 乃至請求項 9 に記載のいずれか一項において、前記第二の露光手段で露光をおこなう部位はコンタクトホールであることを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 1 乃至請求項 10 に記載のいずれか一項において、前記絶縁基板はガラスであることを特徴とする半導体装置の製造方法。


【請求項 12】

請求項 1 乃至請求項 11 に記載のいずれか一項において、前記絶縁基板はプラスチックであることを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 1 乃至請求項 11 に記載のいずれか一項において、前記絶縁基板はフィルム状の絶縁体であることを特徴とする半導体装置の製造方法。

【請求項 14】



請求項 1 乃至請求項 1 3 のいずれか一項に記載された半導体装置の製造方法で製造された半導体装置を有する I C カード、I C タグ、R F I D、トランスポンダ、紙幣、有価証券、パスポート、電子機器、バッグ、衣類。

【書類名】明細書

【発明の名称】半導体装置の製造方法、ICカード、ICタグ、RFID、トランスポンダ、紙幣、有価証券、パスポート、電子機器、バッグ及び衣類

【技術分野】

【0001】

本発明は、無線通信など非接触手段により、メモリ回路に必要な情報を記憶させ、或いは情報を読み取ることのできるICチップ（以下「IDチップ」ともいう。）として用いる半導体装置の製造方法に関する。特に、ガラス、プラスチックなどの絶縁基板上に形成されたIDチップとして用いる半導体装置の製造方法に関する。

【背景技術】

【0002】

コンピュータ技術の発展や、画像認識技術の向上によって、バーコードなどの媒体を用いた情報認識が広く普及し、商品データの認識などに用いられている。今後はさらに多量の情報認識が実施されると予想される。その一方、バーコードによる情報読み取りなどではバーコードリーダーがバーコードとの接触を必要とする、またバーコードに記録される情報量があまり多くできないという欠点があり、非接触の情報認識および媒体の記憶容量増大が望まれている。

【0003】

このような要望から、近年ICを用いたIDチップが開発されている。IDチップとはICチップ内のメモリ回路に必要な情報を記憶し、非接触手段、一般的には無線手段を用いて内部の情報を読み取るものである。このようなIDチップの実用化によって、商品流通などの簡素化、低コスト化、高いセキュリティの確保が可能になるものと期待されている。

【0004】

IDチップを用いた個体認証システムの概要について図4を用いて説明する。図4はバッグの個体情報を非接触で得ることを目的とした固体認証システムの概要を示す図である。特定の固体情報を記憶したIDチップ401はバッグ404に貼り付けられている、もしくは埋め込まれている。このIDチップに対して質問器（リードライトともいう）403のアンテナユニット402より電磁波が発信される。その電磁波を受けるとIDチップ401はそのIDチップが持っている個体情報をアンテナユニット402に対して送り返す。アンテナユニット402は送り返された個体情報を質問器に送り、質問器は個体情報の判別をおこなう。このようにして、バッグ404の情報を質問器は得ることが可能になる。また、このシステムを用いることによって物流管理、集計、偽造品の除去などが可能になる。

【0005】

このようなIDチップの技術としては例えば図2に示すようなものがある。IDチップに用いる半導体装置200はアンテナ回路201、整流回路202、安定電源回路203、アンプ208、復調回路213、論理回路209、メモリコントロール回路212、メモリ回路211、論理回路207、アンプ206、変調回路205によって構成される。また、アンテナ回路201はアンテナコイル301、同調容量302によって構成される（図3（A））。また、整流回路202はダイオード303、304、平滑容量305によって構成される（図3（B））。

【0006】

このようなIDチップの動作を以下に説明する。アンテナ回路201で受信した交流信号はダイオード303、304によって半波整流され、平滑容量305によって平滑される。この平滑された電圧は多数のリプルを含んでいるため、安定電源回路203で安定化され、安定化された後の電圧を復調回路213、アンプ206、論理回路207、アンプ208、論理回路209、メモリ回路211、メモリコントロール回路212に供給する。一方、アンテナ回路201で受信された信号はアンプ208を介して、クロック信号として、論理回路209に入力される。また、アンテナから入力された信号は復調回路2

13で復調され、データとして論理回路209に入力される。

【0007】

論理回路209において、入力されたデータはデコードされる。質問器がデータを変形ミラー符号、NRZ-L符号などでエンコードして送信するため、それを論理回路209はデコードする。デコードされたデータは、メモリコントロール回路212に送られ、それに従いメモリ回路211に記憶された記憶データが読み出される。メモリ回路211は電源が切れても保持できる不揮発性メモリ回路である必要があり、マスクROMなどが使用される。記憶される内容は、例えば16バイトのデータ(図12(A)参照)であり、IDチップの系列を示すファミリーコード4バイト、アプリケーションコード4バイト、使用者が設定するユーザーコード4バイトが2種類となっている。

【0008】

送受信される信号は、125kHz、13.56MHz、915MHz、2.45GHzなどがあり、それぞれISO規格などが設定される。また、送受信の際の変調・復調方式も規格化されている。このようなIDチップの例として例えば特許文献1などがある。

【特許文献1】特開2001-250393号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

以上に述べた、従来のIDチップ用半導体装置は、以下のような課題があった。メモリ回路にマスクROMを用いた場合、チップ製造時以外ではデータ書き込みおこなうことができない。従って、チップ製造時にデータの書き込みを行うことが必要であり、それらのチップに書き込まれるデータは個々のチップによってそれぞれ異なっている。そのためこのようなチップを製造する際には電子ビーム露光を用いて、個々のチップのパターンを作成していた。電子ビーム露光は、露光の自由度が大きい反面、スループットが良くないという欠点があった。

【0010】

一般に同一のチップを大量に製造するためには以下のような方法がとられていた。図5にミラープロジェクション露光装置の概要を示す。ミラープロジェクション露光装置は凹面鏡501、凸面鏡502、レチクル503、基板504、スリット505、光源506によって構成される。光源506を出た光はスリット505で通過領域の制限を受ける。スリット505を通過した光はレチクル503を通過し、凹面鏡501、凸面鏡502で反射されたのち、基板504に照射される。レチクル503および基板504を移動させることによって、レチクル503上のパターンが基板504に露光される。レチクル503は図5において右から左へ、基板504は図5において左から右へ移動する。レチクル503上に同一のチップを多数描いておくことによって、同じパターンが基板504上に転写される。

【0011】

図6にステップ・アンド・スキャン露光装置の概要を示す。ステップ・アンド・スキャン露光装置はステージ601、基板602、光学系603、レチクル604、光学系605、スリット606、光学系607、光源608によって構成される。光源608を出た光は光学系607を介してスリット606に照射され、スリット606で通過制限を受ける。その後光は光学系605を介してレチクル604に照射される。レチクル604を通過した光は光学系603を介して基板602に照射される。基板602はステージ601とともにレチクル604と同一方向(図6においては左から右方向)へ移動する。これによって、レチクル604のパターンが基板602へ転写される。ステップ・アンド・スキャン方式の露光は大面積且つ高精細の露光が可能である。

【0012】

以上のミラープロジェクション露光、およびステップ・アンド・スキャン露光、また、説明をおこなっていないがステップ・アンド・リピート露光(ステップ露光)などは同一のパターンを製造するのには有利であるが、前述したように、チップ1個1個の内容を変

えて製造することは困難である。

【0013】

またメモリ回路にEEPROMを用いた場合、ユーザーが自由に内容を書き換えられ、製造後にデータを書き込むことができる反面、本来のユーザー以外の人々が、認証用として書き換えられるべきでない情報を書き換えることが可能になり、偽造をおこなうことも可能である。従って、そのような偽造が不可能なIDチップが求められている。

【0014】

そこで本発明は、IDチップに用いる半導体装置において、スループットが良く、偽造が困難な半導体装置の製造方法を提供することを課題とする。

【課題を解決するための手段】

【0015】

本発明は、絶縁基板上に第一の露光手段を用いて、変調回路と、復調回路と、論理回路と有する半導体装置を形成する工程と、同一基板上に第二の露光手段を用いて、それぞれが異なる複数のメモリ回路を形成する工程を有することを特徴としている。

【0016】

本発明は、絶縁基板上にフォトレジストを塗布する工程と、前記フォトレジストに第一の露光手段を用いて露光をおこない、変調回路と、復調回路と、論理回路とを有する複数の半導体装置のパターン形成をおこなう第一の露光工程と、前記フォトレジストに第二の露光手段を用いて露光をおこない、それぞれが異なる複数のメモリ回路のパターン形成をおこなう第二の露光工程と、前記第一、第二の露光工程によって露光された前記フォトレジストを現像し、エッチングをおこなう工程を有することを特徴としている。

【0017】

本発明は、上記において、メモリ回路はマスクROMであることを特徴としている。

【0018】

本発明は、上記において、前記複数のメモリ回路の差異は記憶されるデータの差異であることを特徴としている。

【0019】

本発明は、上記において、前記第二の露光手段はプログラムによって、露光内容を変えられることを特徴としている。

【0020】

本発明は、上記において、前記第一の露光手段はミラープロジェクション露光装置を用いた露光手段であることを特徴としている。

【0021】

本発明は、上記において、前記第一の露光手段はステップ・アンド・リピート露光装置を用いた露光手段であることを特徴としている。

【0022】

本発明は、上記において、前記第一の露光手段はステップ・アンド・スキャン露光装置を用いた露光手段であることを特徴としている。

【0023】

本発明は、上記において、前記第二の露光手段は電子ビーム露光装置を用いた露光手段であることを特徴としている。

【0024】

本発明は、上記において、前記第二の露光手段で露光をおこなう部位はコンタクトホールであることを特徴としている。

【0025】

本発明は、上記において、絶縁基板はガラス、プラスチック、フィルム状の絶縁体から選ばれた一つであることを特徴としている。

【0026】

本発明において、IDチップとは個体認識に用いる半導体チップのことであり、ICタグ、無線タグ、RFID、ICカード、トランスポンダ、紙幣、有価証券、パスポート、

電子機器、バッグ、衣類などに使用されるものとする。

【発明の効果】

【0027】

以上に述べたように、本発明をIDチップ用半導体装置の製造工程に用いることによって、スループットの高い半導体装置の製造方法を提供することが可能である。また、本発明によって、偽造が困難なIDチップを製造することが可能になる。

【発明を実施するための最良の形態】

【0028】

以下、本発明の実施の態様について、図面を参照して説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0029】

絶縁基板上に不揮発性メモリ回路、変調回路、復調回路、論理回路などに用いるTFETを作製する方法について図13を用いて説明する。なお、本実施例では半導体素子としてnチャネル型薄膜トランジスタ（以下TFETと記す）、pチャネル型TFETを例に挙げて示すが、本発明においてメモリ部および論理回路部に含まれる半導体素子はこれに限定されない。また、この作製方法は一例であって、絶縁基板上での作製方法を限定するものではない。

【0030】

まず、ガラス基板である絶縁基板3000上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜3001、3002を形成する。例えば、下地膜3001として酸化窒化シリコン膜を10～200nm、下地膜3002として酸化窒化水素化シリコン膜を50～200nmの厚さに順に積層形成する。

【0031】

島状半導体層3003～3005は、非晶質構造を有する半導体膜を公知のレーザー結晶化法や熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層3003～3005の厚さは25～80nmの厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコン・ゲルマニウム（SiGe）合金などで形成すると良い。

【0032】

次いで、島状半導体層3003～3005を覆うゲート絶縁膜3006を形成する。ゲート絶縁膜3006はプラズマCVD法またはスパッタ法を用い、厚さを10～80nmとしてシリコンを含む絶縁膜で形成する。

【0033】

そして、ゲート絶縁膜3006上に第1の導電層3007～3009を形成する。続いて第2の導電層3011～3013を形成し、積層された第1の導電層3007/第2の導電層3011（通常のTFET）を一括でエッチングを行い、TFETのゲート電極を形成する。

【0034】

本実施例では、第1の導電層3007～3009をTa₂N₅で50～100nmの厚さに形成し、第2の導電層3011～3013をWで100～300nmの厚さに形成したが、導電層の材料は特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。

【0035】

次に論理回路部で用いるpチャネル型TFETにp型を付与するドーピングを行い、第1の不純物領域3016、3017を形成する。続いて記憶素子、論理回路部で用いるnチ

チャンネル型TFTのLDD領域を形成するために、n型を付与するドーピングを行い、第3の不純物領域3018、3019を形成する。その後、サイドウォール3020、3021を形成して、メモリ部、論理回路部で用いるnチャンネル型TFTにn型を付与するドーピングを行い第4の不純物領域3022、3023を形成する。これらのドーピング方法はイオンドープ法もしくはイオン注入法で行えば良い。以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。

【0036】

次に、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0037】

次いで、第1の層間絶縁膜3024を酸化窒化シリコン膜で形成する。第1の層間絶縁膜3024の膜厚は、ゲート絶縁膜と同程度の10~80nmとする。続いてアクリルなどの有機絶縁物材料から成る第2の層間絶縁膜3025を形成する。また、第2の層間絶縁膜3025として有機絶縁物材料の代わりに無機材料を用いることもできる。無機材料としては無機SiO₂やプラズマCVD法で作製したSiO₂(PCVD-SiO₂)、SOG(Spin on Glass; 塗布珪素酸化膜)等が用いられる。

【0038】

以上において、各パターニング工程は第一の露光手段(たとえばミラープロジェクション露光、ステップ・アンド・リピート露光(ステッパー露光)、ステップ・アンド・スキャン露光など)によって、露光をおこない、レジストを感光させ、パターンを形成し、そのレジストをマスクとしてエッチングをおこなっている。

【0039】

本発明において、前述した層間膜にコンタクトホールを開口する場合には、上記と異なる方法を用いる。図1(A)に示すように、まずレジストを塗布し、ベークをおこなう。つぎに不揮発性メモリ回路のデータに関する場所以外の場所を前述した第一の露光手段、すなわちミラープロジェクション露光、ステップ・アンド・リピート露光、ステップ・アンド・スキャン露光などでコンタクトホール部を露光する(図1(B))。このような露光手段は、同じパターンをいくつも露光する際には非常に有効な露光が可能である。図13においてコンタクト3031、3032はこのような方法で露光する。

【0040】

次に、第二の露光手段(電子ビーム露光など)において、不揮発性メモリ回路のデータ部分のコンタクトホール部、またはデータ部分のコンタクトホール部およびチップの一部のコンタクトホール部を露光する(図1(C))。図13において、コンタクト3033はこのような手段で露光する。電子ビーム露光などの露光手段はプログラムによって、露光内容が変更することが可能であるため、同一基板内に異なる記憶データを有するメモリ回路、チップなどを製造することが可能になる。また、電子ビーム露光など第二の露光手段によって露光する場所は不揮発性メモリ回路のデータ部、またはデータ部およびチップの一部であるため、全体に占める割合は小さくスループットの低下は十分小さく抑えられる。

【0041】

次に現像等の処理(図1(D))をおこなったあと、層間膜のエッチングをおこない、コンタクトホールを形成する(図1(E))。

【0042】

そして、メモリ部において島状半導体層のソース領域、ドレイン領域とコンタクトをとる電極3026、3027を形成する。また、論理回路部においても同様に、電極3028~3030を形成する。

【0043】

以上の説明において、コンタクトホール形成工程において、従来のミラープロジェクション露光、ステップ・アンド・リピート露光、またはステップ・アンド・スキャン露光と電子ビーム露光を組み合わせることで、スループットが高く、且つ、同一基板上に異なるデータを有するチップの製造方法を述べたが、上記方法はコンタクトホール形成工程に限らず、ソース・ドレイン電極形成工程やドーピング工程などその他の工程で用いても良い。

【0044】

以上のようにして、不揮発性メモリ素子と、LDD構造のnチャネル型TFETおよびシングルドレイン構造のpチャネル型TFETを有する論理回路部と、を同一の基板上に形成することができる（図13参照）。

【0045】

また、図9に示すように、一度共通部分を形成し、その後で不揮発性メモリのデータ部分を形成しても良い。これは、レジストを塗布し、ベークをおこなう（図9（A））。次に第一の露光手段（ミラープロジェクション露光など）で露光をおこなう。（図9（B））。現像、ベークをおこなう。（図9（C））。エッチングを行い共通部分のパターンを形成する（図9（D））。再度、レジストを塗布し、ベークをおこなう（図9（E））。第二の露光手段（電子ビーム露光など）にて、不揮発性メモリのデータ部を露光する（図9（F））。現像、ベークをおこなう（図9（G））。エッチングをおこない不揮発性メモリのデータ部分を形成する（図9（H））。このようにして、個々のチップごとに異なるデータの記憶が可能であり、且つ、スループットを落とさずに半導体装置の製造が可能になる。

【0046】

本実施形態では、メモリ部および論理回路部を形成し、フレキシブル基板へ転写するまでの作製方法について図14、図15を用いて説明する。なお、本実施形態では半導体素子として、不揮発性メモリ素子、nチャネル型TFET、およびpチャネル型TFETを例に挙げて示すが、本発明においてメモリ部および論理回路部に含まれる半導体素子はこれに限定されない。また、この作製方法は一例であって、絶縁基板上での作製方法を限定するものではない。

【0047】

絶縁基板3000上に剥離層4000を形成する。剥離層4000は、非晶質シリコン、多結晶シリコン、単結晶シリコン、微結晶シリコン（セミアモルファスシリコンを含む）等、シリコンを主成分とする層を用いることができる。剥離層4000は、スパッタ法、プラズマCVD法等を用いて形成することができる。本実施例では、膜厚500nm程度の非晶質シリコンをスパッタ法で形成し、剥離層4000として用いる。続いて上記に示した作業工程に従い、図13に示すようなメモリ部、論理回路部を形成する。

【0048】

次に、第2の層間絶縁膜3025上に第3の層間絶縁膜4001を形成し、パッド4002～4005を形成する。パッド4002～4005は、Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W、Alなどの金属、金属化合物を1つまたは複数有する導電材料を用いることができる。

【0049】

そしてパッド4002～4005を覆うように、第3の層間絶縁膜4001上に保護層4006を形成する。保護層4006は、後に剥離層4000をエッチングにより除去する際に、パッド4002～4005を保護することができる材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布することで保護層4006を形成することができる（図14（A））。

【0050】

次に、剥離層4000を分離するための溝4007を形成する（図14（B）参照）。溝4007は、剥離層4000が露出する程度であれば良い。溝4007の形成は、エッ

チング、ダイシング、スクライビングなどを用いることができる。

【0051】

次に、剥離層 4000 をエッチングにより除去する（図 15（A）参照）。本実施例では、エッチングガスとしてハロゲン化フッ素を用い、該ガスを溝 4007 から導入する。本実施例では、例えば CF_3 （三フッ化塩素）を用い、温度：350℃、流量：300 sccm、気圧：6 Torr、時間：3 h の条件で行う。また、 CF_3 ガスに窒素を混ぜたガスを用いても良い。 CF_3 等のハロゲン化フッ素を用いることで、剥離層 4000 が選択的にエッチングされ、絶縁基板 3000 を剥離することができる。なおハロゲン化フッ素は、気体であっても液体であってもどちらでも良い。

【0052】

次に、剥離されたメモリ部および論理回路部を、接着剤 4008 を用いて支持体 4009 に貼り合わせる（図 15（B）参照）。接着剤 4008 は、支持体 4009 と下地膜 3001 とを貼り合わせる材料を用いる。接着剤 4008 は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【0053】

支持体 4009 として、フレキシブルな紙またはプラスチックなどの有機材料を用いることができる。または支持体 4009 として、フレキシブル無機材料を用いても良い。支持体 4009 は集積回路において発生した熱を拡散させるために、2～30 W/mK 程度の高い熱伝導率を有するのが望ましい。

【0054】

なおメモリ部および論理回路部の集積回路を絶縁基板 3000 から剥離する方法は、本実施例で示したように珪素膜のエッチングを用いる方法に限定されず、他の様々な方法を用いることができる。例えば、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離することができる。また例えば、剥離層をレーザー光の照射により破壊し、集積回路を基板から剥離することもできる。また例えば、集積回路が形成された基板を機械的に削除または溶液やガスによるエッチングで除去することで、集積回路を基板から剥離することもできる。

【0055】

また対象物の表面が曲面を有しており、それにより該曲面貼り合わされた ID チップの支持体が、錐面、柱面など母線の移動によって描かれる曲面を有するように曲がってしまう場合、該母線方向と TFT のキャリアが移動する方向とを揃えておくことが望ましい。上記構成により、支持体が曲がっても、それによって TFT の特性に影響が出るのを抑えることができる。また、島状の半導体膜が集積回路内において占める面積の割合を、1～30% とすることで、支持体が曲がっても、それによって TFT の特性に影響が出るのをより抑えることができる。本実施例は、上記の実施の形態や他の実施例と組み合わせて用いることが可能である。

【実施例 1】

【0056】

マスク ROM を用いた不揮発性メモリ回路の実施例を図 7 に示す。図 7 に示すのは TFT のドレイン端子のコンタクトホールを開口するかどうかで、記憶状態を表すものである。

【0057】

以下、マスク ROM を用いた不揮発性メモリ回路の動作について、図 7 を用いて説明をおこなう。図 7 の不揮発性メモリ回路は説明簡略化のため、4 ビットのメモリ回路としているが、4 ビットに限定されるものではない。図 7 に示す不揮発性メモリ回路は列デコーダー 701、行デコーダー 702、アンプ 715、n チャネル型 TFT 703～706、ビット線 709、710、ワード線 707、708、電源線 713、列スイッチ 711、712、出力配線 717、負荷抵抗 714、出力端子 716、電源 1、電源 2 によって構成されている。負荷抵抗 714 の代わりに定電流源を用いても良い。

【0058】

電源1はハイ電位を設定する電位であり、電源2はロウ電位を設定する電位である。ただしTF T 703～706をpチャネル型TF Tとする場合には、電源1はハイ電位を設定し、電源2はロウ電位を設定する。以下の説明ではTF T 703～706はN型とし、電源1は+3V、電源2は0Vとするが適宜変えてもよい。また、TF T 703～706によって、メモリセル718～721は構成される。

【0059】

以下、読み出しをおこなう場合について説明をおこなう。

メモリセル718のデータを読み出す場合は、行デコーダ702を動作させ、ワード線707をアクティブとする、それによってTF T 703、704はオンとなる。次に、列デコーダ701を動作させ、列スイッチ711をオンさせる、それによってビット線709、出力配線717、負荷抵抗714、アンプ715が接続される。TF T 703がオンしているので、電流は電源1、負荷抵抗714、配線717、列スイッチ711、データ線709、TF T 703、電源線713を介して電源2へ流れる。これによってメモリセル718の出力はロウになる。

【0060】

メモリセル719のデータを読み出す場合は、行デコーダ702を動作させ、ワード線707をアクティブとする、それによってTF T 703、704はオンとなる。次に、列デコーダ701を動作させ、列スイッチ712をオンさせる、それによってビット線710、出力配線717、負荷抵抗714、アンプ715が接続される。TF T 703がオンしているが、TF T 704のドレイン端子はどこにも接続されていないため、電流は流れない。電源1の電位が負荷抵抗714、配線717、列スイッチ712、データ線710に供給されるが、電流が流れないのでメモリセル719の出力はハイになる。

【0061】

メモリセル720のデータを読み出す場合は、行デコーダ702を動作させ、ワード線708をアクティブとする、それによってTF T 705、706はオンとなる。次に、列デコーダ701を動作させ、列スイッチ711をオンさせる、それによってビット線709、出力配線717、負荷抵抗714、アンプ715が接続される。TF T 705がオンしているが、TF T 706のドレイン端子はどこにも接続されていないため、電流は流れない。電源1の電位が負荷抵抗714、配線717、列スイッチ711、データ線709に供給されるが、電流が流れないのでメモリセル720の出力はハイになる。

【0062】

メモリセル721のデータを読み出す場合は、行デコーダ702を動作させ、ワード線708をアクティブとする、それによってTF T 705、706はオンとなる。次に、列デコーダ701を動作させ、列スイッチ712をオンさせる、それによってビット線710、出力配線717、負荷抵抗714、アンプ715が接続される。TF T 706がオンしているので、電流は電源1、負荷抵抗714、配線717、列スイッチ712、データ線710、TF T 706、電源線713を介して電源2へ流れる。これによってメモリセル721の出力はロウになる。

このようにして、メモリに記憶されたデータを出力端子716に読み出すことができる。

【実施例2】**【0063】**

図8は図7のメモリセルのレイアウト図である。TF T 703～706、データ線709、710、ワード線707、708電源線713から構成され、TF T 703～706のソース電極はコンタクトホール802、803を介して電源線713に接続されている。TF T 703のドレイン電極はコンタクトホール801を介してビット線709に接続され、TF T 706のドレイン電極はコンタクトホール804を介してビット線710に接続されている。TF T 704、705のドレイン電極はどこにも接続されていない。

【0064】

前述したように、コンタクトホール 801、804 の露光を電子ビーム露光することによって、その位置を変え、記憶するデータを変更することが可能である。例えば、コンタクトホール 801 の位置を TFT705 のドレイン端子に移動することなどが露光プログラムの変更にて可能である。

また、記憶データの無いように関係しないもの、図 8 ではコンタクトホール 801、804 以外の露光データのようなものは、ミラープロジェクション露光、ステップ・アンド・リピート露光、ステップ・アンド・スキャン露光などで露光が可能である。

【実施例 3】

【0065】

剥離プロセスを用いて、フレキシブルな ID タグを構成する場合の例について図 18 を用いて説明する。ID タグはフレキシブル保護層 1801、1803、および剥離プロセスを用いて形成された ID チップ 1802 より構成される。本実施例において、アンテナ 1804 は ID チップ 1802 上ではなく、保護層 1803 上に形成され、ID チップ 1802 に電氣的に接続されている。図 18 (A) では保護層 1803 上にのみ形成されているが、保護層 1801 上にもアンテナを形成しても良い。アンテナは銀、銅、またはそれらでメッキされた金属であることが望ましい。ID チップ 1802 とアンテナとの接続は異方性導電膜を用い、UV 処理をおこない接続をおこなうが、接続方法はこれに限定されない。

【0066】

図 18 (B) は図 18 (A) の断面を示したものである。ID チップ 1802 の厚さは $5\mu\text{m}$ 以下であり、望ましくは $0.1\mu\text{m}\sim 3\mu\text{m}$ の厚さを有する。また保護層 1801、1803 の厚さは、保護層 1801、1803 を重ねたときの厚さを d としたとき、 $(d/2) \pm 30\mu\text{m}$ となっていることが望ましく、とくに $(d/2) \pm 10\mu\text{m}$ であれば最良である。保護層 1801、1803 の厚さは $10\mu\text{m}\sim 200\mu\text{m}$ であることが望ましい。ID チップ 1802 の面積は 5mm 角以下であり、望ましくは 0.3mm 角 $\sim 4\text{mm}$ 角の面積を有する。

【0067】

保護層 1801、1803 は有機樹脂材料で形成され折り曲げに対して強い構造をもっている。剥離プロセスを用いた ID チップ 1802 自体も単結晶半導体に比べて、折り曲げに対して強いいため、保護層 1801、1803 と密着させることが可能である。このような保護層 1801、1803 で囲われた ID チップをさらに他の個体物の表面または内部に配置しても良い。また、紙の中に埋め込んでも良い。

【実施例 4】

【0068】

ID チップを曲面にはる場合、つまり、ID チップが弧を描いている方向と垂直に TFT を配置した例について図 17 を用いて説明する。図 17 の ID チップが含む TFT は、電流が流れる方向、すなわち、ドレイン電極 \sim ゲート電極 \sim ソース電極の位置は直線状にあり、応力の影響が少なくなるような配置となっている。このような配置をおこなうことによって、TFT 特性の変動を抑えることができる。また、TFT を構成する結晶は電流の流れる方向にそろっており、これらを CWC など形成することによって、 S 値を $0.35\text{V}/d\text{ec}$ 以下、(好ましくは $0.09\sim 0.25\text{V}/d\text{ec}$)、移動度を $100\text{cm}^2/\text{Vs}$ 以上にすることができる。

このような TFT を用いて 19 段リングオシレータを構成した場合において、電源電圧 $3\sim 5\text{V}$ において、その発振周波数は 1MHz 以上、好ましくは 100MHz 以上の特性を有する。電源電圧 $3\sim 5\text{V}$ において、インバータ 1 段あたりの遅延時間は 26ns 、好ましくは 0.26ns 以下を有する。

【0069】

また、応力に対して、TFT などのアクティブ素子を破壊させないためには、TFT などのアクティブ素子の活性領域 (シリコンアイランド部分) の面積が全体の面積に占める割合は、 $5\%\sim 50\%$ であることが望ましい。

TFTなどのアクティブ素子の存在しない領域には下地絶縁材料、層間絶縁材料および配線材料が主として設けられている。TFTの活性領域以外の面積は全体の面積の60%以上であることが望ましい。

アクティブ素子の活性領域の厚さは20nm~200nm、代表的には40~170nm、好ましくは45~55nm、145~155nmを有する。

【実施例5】

【0070】

本実施例では本発明を用いた回路に外付けのアンテナをつけた例について図10、図11を用いて説明する。

【0071】

図10(A)は回路の周りを一面のアンテナで覆ったものである。基板1000状にアンテナ1001を構成し、本発明を用いた回路1002を接続する。図面では回路1002の周りをアンテナ1001で覆う構成になっているが、全面をアンテナで覆い、その上に電極を構成した回路1002を貼り付けるような構造を取っても良い。

【0072】

図10(B)は細いアンテナを回路の周りを回るように配置したものである。基板1003状にアンテナ1004を構成し、本発明を用いた回路1005を接続する。なお、アンテナの配線は一例であってこれに限定するものではない。

【0073】

図10(C)は高周波数のアンテナである。基板1006状にアンテナ1007を構成し、本発明を用いた回路1008を接続する。

【0074】

図10(D)は180度無指向性（どの方向からでも同じく受信可能）なアンテナである。基板1009状にアンテナ1010を構成し、本発明を用いた回路1011を接続する。

【0075】

図10(E)は棒状に長く伸ばしたアンテナである。基板1012状にアンテナ1010を構成し、本発明を用いた回路1014を接続する。

【0076】

本発明を用いた回路とこれらのアンテナへの接続は公知の方法で行うことができる。例えばアンテナと回路をワイヤボンディング接続やバンプ接続を用いて接続する、あるいはチップ化した回路の一面を電極にしてアンテナに貼り付けるという方法を取ってもよい。この方式ではACF(anisotropic conductive film;異方性導電性フィルム)を用いて貼り付けることができる。

【0077】

アンテナに必要な長さは受信に用いる周波数によって適正な長さが異なる。一般には波長の整数分の1の長さにとすると良いとされる。例えば周波数が2.45GHzの場合は約60mm(1/2波長)、約30mm(1/4波長)とすれば良い。

【0078】

また、本発明の回路上に基板を取りつけ、さらにその上にアンテナを構成してもよい。図11(A)~(C)にその一例として回路上に基板を取りつけ、らせん状のアンテナを配置したものの上面図および断面図を示す。

【0079】

なお、本実施例に示した例はごく一例であり、アンテナの形状を限定するものではない。あらゆる形状のアンテナについて本発明は実施することが可能である。この実施例は実施形態および上記の実施例1~4のどのような組み合わせからなる構成を用いても実現することができる。

【実施例6】

【0080】

本実施例では、図19~21を参照して、TFTを含む薄膜集積回路装置の具体的な作

製方法について説明する。ここでは、簡単のため、n型TFETとp型TFETを用いたCPU部（論理回路部）とメモリ部分の断面構造を示すことによって、その作製方法について説明する。

【0081】

まず、基板60上に、剥離層61を形成する（図19（A））。ここでは、ガラス基板（例えば、コーニング社製1737基板）上に、50nm（500Å）の膜厚のa-Si膜（非晶質シリコン膜）を減圧CVD法により形成した。なお、基板としては、ガラス基板の他にも、石英基板、アルミナなど絶縁物質で形成される基板、シリコンウエハ基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。

【0082】

また、剥離層としては、非晶質シリコンの他に、多結晶シリコン、単結晶シリコン、SAS（セミアモルファスシリコン（微結晶シリコン、マイクロクリスタルシリコンともいう。））等、シリコンを主成分とする膜を用いることが望ましいが、これらに限定されるものではない。剥離層は、減圧CVD法の他にも、プラズマCVD法、スパッタ法等によって形成しても良い。また、リンなどの不純物をドーブした膜を用いてもよい。また、剥離層の膜厚は、50～60nmとするのが望ましい。SASに関しては、30～50nmとしてもよい。

【0083】

次に、剥離層61上に、保護膜55（下地膜、下地絶縁膜と呼ぶこともある。）を形成する（図19（A））。ここでは、膜厚100nmのSiON膜\膜厚50nmのSiNO膜\膜厚100nmのSiON膜の3層構造としたが、材質、膜厚、積層数は、これに限定されるものではない。例えば、下層のSiON膜に代えて、膜厚0.5～3μmのシロキサン等の耐熱性樹脂をスピコート法、スリットコーター法、液滴吐出法などによって形成しても良い。また、窒化珪素膜（SiN、Si₃N₄等）を用いてもよい。また、それぞれの膜厚は、0.05～3μmとするのが望ましく、その範囲から自由に選択することができる。

【0084】

ここで、酸化珪素膜は、SiH₄/O₂、TEOS（テトラエトキシシラン）/O₂等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、SiH₄/NH₃の混合ガスを用い、プラズマCVDによって形成することができる。また、SiON膜又はSiNO膜は、代表的には、SiH₄/N₂Oの混合ガスを用い、プラズマCVDによって形成することができる。

【0085】

なお、剥離層61及び島状半導体膜57として、a-Si等の珪素を主成分とする材料を用いる場合には、それらに接する保護膜としては、密着性確保の点から、SiO_xN_yを用いてもよい。

【0086】

次に、保護膜55上に、薄膜集積回路装置のCPU（論理回路）やメモリを構成する薄膜トランジスタ（TFET）を形成する。なお、TFET以外にも、有機TFET、薄膜ダイオード等の薄膜能動素子を形成することもできる。

【0087】

TFETの作製方法として、まず、保護膜55上に、島状半導体膜57を形成する（図19（B））。島状半導体膜57は、アモルファス半導体、結晶性半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコン・ゲルマニウム（SiGe）等を主成分とする半導体膜を用いることができる。

【0088】

ここでは、70nmの膜厚のアモルファスシリコンを形成し、さらにその表面をニッケルを含む溶液で処理した。さらに、500～750℃の熱結晶化工程によって結晶質シリコン半導体膜を得、レーザー結晶化を行って結晶性の改善を施した。また、成膜方法とし

ては、プラズマCVD法、スパッタ法、LPCVD法などを用いても良い。結晶化方法としては、レーザー結晶化法、熱結晶化法、他の触媒 (Fe, Ru, Rh, Pd, Pd, Os, Ir, Pt, Cu, Au等) を用いた熱結晶化、あるいはそれらを交互に複数回行うても良い。

【0089】

また、非晶質構造を有する半導体膜の結晶化処理としては、連続発振のレーザーを用いても良く、結晶化に際し大粒径の結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい (この場合の結晶化をCWLCという。)。代表的には、Nd:YVO₄レーザー (基本波1064nm) の第2高調波 (532nm) や第3高調波 (355nm) を適用すればよい。連続発振のレーザーを用いる場合には、出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶又はGdVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度 (好ましくは0.1～10MW/cm²) が必要である。そして、10～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

【0090】

また、パルス発振のレーザーを用いる場合、通常、数十Hz～数百Hzの周波数帯を用いるが、それよりも著しく高い10MHz以上の発振周波数を有するパルス発振レーザーを用いてもよい (この場合の結晶化をMHzLCという。)。パルス発振でレーザー光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec～数百nsecとされているため、上記高周波数帯を用いることで、半導体膜がレーザー光によって熔融してから固化するまでに、次のパルスのレーザー光を照射できる。よって、従来のパルス発振のレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10～30μm、走査方向に対して垂直な方向における幅が1～5μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く延びた単結晶の結晶粒を形成することで、少なくともTFTのチャンネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

【0091】

なお、保護膜55の一部に耐熱性有機樹脂であるシロキサンを用いた場合には、上記結晶化の際に、半導体膜中から熱が漏れることを防止することができ、効率よく結晶化を行うことができる。

【0092】

上記の方法によって結晶性シリコン半導体膜を得る。なお、結晶は、ソース、チャンネル、ドレイン方向にそろっていることが望ましい。また、結晶層の厚さは、20～200nm (代表的には40～170nm、さらに好ましくは、50～150nm) となるようにするのがよい。その後、半導体膜上に酸化膜を介して、金属触媒をゲッタリングするためのアモルファスシリコン膜を成膜し、500～750℃の熱処理によってゲッタリング処理を行った。さらに、TFT素子としての閾値を制御するために、結晶性シリコン半導体膜に対し、10¹³/cm²オーダーのドーズ量のホウ素イオンを注入した。その後、レジストをマスクとしてエッチングを行うことにより、島状半導体膜57を形成した。

【0093】

なお、結晶性半導体膜を形成するにあたっては、ジシラン (Si₂H₆) とフッ化ゲルマニウム (GeF₄) の原料ガスとして、LPCVD (減圧CVD) 法によって、多結晶半導体膜を直接形成することによっても、結晶性半導体膜を得ることができる。ガス流量比は、Si₂H₆/GeF₄=20/0.9、成膜温度は400～500℃、キャリアガスとしてHe又はArを用いたが、これに限定されるものではない。

【0094】

なお、TF T内の特にチャネル領域には、 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$ 、好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の水素又はハロゲンが添加されているのがよい。S A S に関しては、 $1 \times 10^{19} \sim 2 \times 10^{21} \text{ cm}^{-3}$ とするのが望ましい。いずれにしても、ICチップに用いられる単結晶に含まれる水素又はハロゲンの含有量よりも多く含有させておくことが望ましい。これにより、TF T部に局部クラックが生じて、水素又はハロゲンによってターミネート（終端）されうる。

【0095】

次に、島状半導体膜57上にゲート絶縁膜58を形成する（図19（B））。ゲート絶縁膜はプラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することが好ましい。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのがよい。

【0096】

次に、ゲート電極56を形成する（図19（C））。ここでは、SiとW（タングステン）をスパッタ法により積層形成した後に、レジスト62をマスクとしてエッチングを行うことにより、ゲート電極56を形成した。勿論、ゲート電極56の材料、構造、作製方法は、これに限定されるものではなく、適宜選択することができる。例えば、n型不純物がドーピングされたSiとNiSi（ニッケルシリサイド）との積層構造や、Ta₂N（窒化タンタル）とW（タングステン）の積層構造としてもよい。また、種々の導電材料を用いて単層で形成しても良い。

【0097】

また、レジストマスクの代わりに、SiO_x等のマスクを用いてもよい。この場合、SiO_x、SiON等のマスク（ハードマスクと呼ばれる。）をパターンニング形成工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅のゲート電極層を形成することができる。また、レジスト62を用いずに、液滴吐出法を用いて選択的にゲート電極56を形成しても良い。

【0098】

導電材料としては、導電膜の機能に応じて種々の材料を選択することができる。また、ゲート電極とアンテナとを同時に形成する場合には、それらの機能を考慮して材料を選択すればよい。

【0099】

なお、ゲート電極をエッチング形成する際のエッチングガスとしては、CF₄、Cl₂、O₂の混合ガスやC₁₂ガスを用いたが、これに限定されるものではない。

【0100】

次に、p型TF T70、72となる部分をレジスト63で覆い、ゲート電極をマスクとして、n型TF T69、71の島状半導体膜中に、n型を付与する不純物元素64（代表的にはP（リン）又はAs（砒素））を低濃度にドーピングする（第1のドーピング工程、図19（D））。第1のドーピング工程の条件は、ドーピング量： $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧：50～70keVとしたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜58を介してスルードーピングがなされ、一対の低濃度不純物領域65が形成される。なお、第1のドーピング工程は、p型TF T領域をレジストで覆わずに、全面に行っても良い。

【0101】

次に、レジスト63をアッシング等により除去した後、n型TF T領域を覆うレジスト66を新たに形成し、ゲート電極をマスクとして、p型TF T70、72の島状半導体膜中に、p型を付与する不純物元素67（代表的にはB（ホウ素））を高濃度にドーピングする（第2のドーピング工程、図19（E））。第2のドーピング工程の条件は、ドーピング量： $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧：20～40keVとして行う。この第2のドーピング工程によって、ゲート絶縁膜58を介してスルードーピングがなされ、一対のp型の高濃度不純物領域68が形成される。

【0102】

次に、レジスト66をアッシング等により除去した後、基板表面に、絶縁膜75を形成した(図20(F))。ここでは、膜厚100nmのSiO₂膜をプラズマCVD法によって形成した。その後、エッチバック法により、絶縁膜75、ゲート絶縁膜58をエッチング除去し、サイドウォール(側壁)76を自己整合的(セルフアライン)に形成した(図20(G))。エッチングガスとしては、CHF₃とHeの混合ガスを用いた。なお、サイドウォールを形成する工程は、これらに限定されるものではない。

【0103】

なお、サイドウォール76の形成方法は上記に限定されるものではない。例えば、図21に示した方法を用いることができる。図21(A)は、絶縁膜75を二層又はそれ以上の積層構造とした例を示している。絶縁膜75としては、例えば、膜厚100nmのSiON(酸化窒化珪素)膜と、膜厚200nmのLTO膜(Low Temperature Oxide、低温酸化膜)の2層構造とした。ここでは、SiON膜は、プラズマCVD法で形成し、LTO膜としては、SiO₂膜を減圧CVD法で形成した。その後、エッチバックを行うことにより、L字状と円弧状からなるサイドウォール76が形成される。

【0104】

また、図21(B)は、エッチバック時に、ゲート絶縁膜58を残すようにエッチングを行った例を示している。この場合の絶縁膜75は、単層構造でも積層構造でも良い。

【0105】

上記サイドウォールは、後に高濃度のn型不純物をドーピングし、サイドウォール76の下部に低濃度不純物領域又はノンドープのオフセット領域を形成する際のマスクとして機能するものであるが、上述したサイドウォールのいずれの形成方法においても、形成したい低濃度不純物領域又はオフセット領域の幅によって、エッチバックの条件を適宜変更すればよい。

【0106】

次に、p型TF T領域を覆うレジスト77を新たに形成し、ゲート電極56及びサイドウォール76をマスクとして、n型を付与する不純物元素78(代表的にはP又はAs)を高濃度にドーピングする(第3のドーピング工程、図20(H))。第3のドーピング工程の条件は、ドーピング量： $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧：60～100keVとして行う。この第3のドーピング工程によって、ゲート絶縁膜58を介してスルードープがなされ、一対のn型の高濃度不純物領域79が形成される。

【0107】

なお、レジスト77をアッシング等により除去した後、不純物領域の熱活性化を行っても良い。例えば、50nmのSiON膜を成膜した後、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含むSiNx膜を、100nmの膜厚に形成した後、410℃、1時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性シリコン中に存在するダングリングボンドを終端させるものであり、水素化処理工程などと呼ばれる。さらに、この後、TF Tを保護するキャップ絶縁膜として、膜厚600nmのSiON膜を形成する。なお、水素化処理工程は、該SiON膜形成後に行っても良い。この場合、SiNx/SiON膜は連続成膜することができる。このように、TF T上には、SiON/SiNx/SiONの3層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。また、これらの絶縁膜は、TF Tを保護する機能をも有しているため、できるだけ形成しておくのが望ましい。

【0108】

次に、TF T上に、層間膜53を形成する(図20(I))。層間膜53としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂を用いることができる。形成方法としては、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、

無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、層間膜53を形成しても良い。

【0109】

さらに、層間膜53上に、保護膜54を形成しても良い。保護膜54としては、DLC（ダイヤモンドライクカーボン）或いは窒化炭素（CN）等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂を用いてもよい。

【0110】

なお、層間膜53又は保護膜54と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、これらの膜の膜剥がれや割れが生じるのを防ぐために、層間膜53又は保護膜54中にフィラーを混入させておいても良い。

【0111】

次に、レジストを形成した後、エッチングによりコンタクトホールを開孔し、TF T同士を接続する配線51及び外部アンテナと接続するための接続配線21を形成する（図20（I））。コンタクトホール開孔時のエッチングに用いられるガスは、 CHF_3 とHeの混合ガスを用いたが、これに限定されるものではない。また、配線51と接続配線21は同一材料を用いて同時に形成しても良いし、別々に形成しても良い。ここでは、TF Tと接続される配線51は、Ti\TiN\Al-Si\Ti\TiNの5層構造とし、スパッタ法によって形成した後、パターニング形成した。

【0112】

なお、Al層において、Siを混入させることにより、配線パターニング時のレジストベークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用しても良い。

【0113】

なお、本実施例では、CPU73、メモリ74等を構成するTF T領域とアンテナと接続する端子部80のみを一体形成する場合について示したが、TF T領域とアンテナとを一体形成する場合にも、本実施例を適用できる。この場合には、層間膜53又は保護膜54上にアンテナを形成し、さらに、別の保護膜で覆うと良い。アンテナの導電材料としては、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co若しくはTi、又はそれらを含む合金を用いることができるが、これらに限定されるものではない。また、配線とアンテナで材料が異なっても良い。なお、配線及びアンテナは、展性、延性に富む金属材料を有するように形成し、更に好ましくは膜厚を厚くして変形による応力に耐えるようにするのが望ましい。

【0114】

また、形成方法としては、スパッタ法によって全面成膜した後、レジストマスクを用いてパターニングを行ってもよいし、液滴吐出法によってノズルから選択的に形成しても良い。なお、ここでいう液滴吐出法には、インクジェット法のみならず、オフセット印刷法やスクリーン印刷等も含まれる。配線とアンテナは、同時に形成しても良いし、一方を先に形成した後に、他方が乗り上げるように形成しても良い。

【0115】

以上の工程を経て、TF Tからなる薄膜集積回路装置が完成する。なお、本実施例では、トップゲート構造としたが、ボトムゲート構造（逆スタガ構造）としてもよい。なお、TF Tのような薄膜能動素子部（アクティブエレメント）の存在しない領域には、下地絶縁膜材料、層間絶縁膜材料、配線材料が主として設けられているが、該領域は、薄膜集積

回路装置全体の50%以上、好ましくは70~95%を占めていることが望ましい。これにより、IDチップを曲げやすくし、IDラベル等の完成品の取り扱いが容易となる。この場合、TFT部を含むアクティブエレメントの島状半導体領域（アイランド）は、薄膜集積回路装置全体の1~30%、好ましくは、5~15%を占めているのがよい。

【0116】

また、図20（I）に示すように、薄膜集積回路装置におけるTFTの半導体層から下部の保護層までの距離（ t_{under} ）と、半導体層から上部の層間膜（保護層が形成されている場合には該保護層）までの距離（ t_{over} ）が、等しく又は概略等しくなるように、上下の保護層又は層間膜の厚さを調整するのが望ましい。このようにして、半導体層を薄膜集積回路装置の中央に配置せしめることで、半導体層への応力を緩和することができ、クラックの発生を防止することができる。

【実施例7】

【0117】

本実施例では本発明の半導体装置は、ICカード、ICタグ、RFID、トランスポンダ、紙幣、有価証券、パスポート、電子機器、バッグ及び衣類に用いることができる。ここでは、ICカード、IDタグおよびIDチップなどの例について図16を用いて説明する。

【0118】

図16（A）はICカードであり、個人の識別用のほかに内蔵された回路のメモリが書き換え可能であることを利用して現金を使わずに代金の決済が可能なクレジットカード、あるいは電子マネーといったような使い方もできる。ICカード1600の中に本発明を用いた回路部1601を組み込んでいる。

【0119】

図16（B）はIDタグであり、個人の識別用のほかに、小型化可能であることから特定の場所での入場管理などに用いることができる。IDタグ1610の中に本発明を用いた回路部1611を組み込んでいる。

【0120】

図16（C）はスーパーマーケットなどの小売店で商品を扱う際の商品管理を行うためのIDチップ1622を商品に貼付した例である。本発明はIDチップ1622内の回路に適用される。このようにIDチップを用いることにより、在庫管理が容易になるだけでなく、万引きなどの被害を防ぐことも可能である。図面ではIDチップ1622が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜1621を用いているが、IDチップ1622を接着剤を用いて直接貼付するような構造を取っていてもよい。また、商品に貼付する構造上、実施例2で挙げたフレキシブル基板を用いて作製すると好ましい。

【0121】

図16（D）は商品製造時に識別用のIDチップを組み込んだ例である。図面では例としてディスプレイの筐体1630にIDチップ1631を組み込まれている。本発明はIDチップ1631内の回路に適用される。このような構造を取ることで製造メーカーの識別、商品の流通管理などを容易に行うことができる。なお、図面ではディスプレイの筐体を例として取り上げているが、本発明はこれに限定されることはなく、さまざまな電子機器、物品に対して適用することが可能である。

【0122】

図16（E）は物品搬送用の荷札である。図面では荷札1640内にIDチップ1641が組み込まれている。本発明はIDチップ1641内の回路に適用される。このような構造を取ることで搬送先の選別や商品の流通管理などを容易に行うことができる。なお、図面では物品を縛るひも状のものにくくりつけるような構造を取っているが、本発明はこれに限定されることはなく、シール材のようなものを用いて物品に直接貼付するような構造を取ってもよい。

【0123】

図16（F）は本1650にIDチップ1652が組み込まれたものである。本発明は

IDチップ1652内の回路に適用される。このような構造を取ることにより書店における流通管理や図書館などでの貸し出し処理などを容易に行うことができる。図面ではIDチップ1652が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜1651を用いているが、IDチップ1652を接着剤を用いて直接貼付するような構造を取る、または本1650の表紙に埋め込む構造を取っていてもよい。

【0124】

図16(G)は紙幣1660にIDチップ1661が組み込まれたものである。本発明はIDチップ1661内の回路に適用される。このような構造を取ることにより偽札の流通を阻止することが容易に行える。なお、紙幣の性質上ID1661チップが剥がれ落ちるのを防ぐために紙幣1660に埋め込むような構造を取るとより好ましい。本発明は紙幣に限らず、有価証券、パスポートなど紙を材質にしたものに適用可能である。

【0125】

図16(H)は靴1670にIDチップ1672が組み込まれたものである。本発明はRFIDチップ1672内の回路に適用される。このような構造を取ることにより製造メーカーの識別、商品の流通管理などを容易に行うことができる。図面ではIDチップ1672が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜1671を用いているが、IDチップ1672を接着剤を用いて直接貼付するような構造を取る、または靴1670に埋め込む構造を取っていてもよい。本発明は靴に限らず、バッグ、衣類など身に付けるものに適用可能である。

【0126】

セキュリティ確保を目的として、多様な物品へIDチップを実装する場合を説明する。セキュリティ確保とは、盗難防止又は偽造防止の面から捉えることができる。

【0127】

盗難防止の例として、バッグにIDチップを実装する場合を説明する。図22に示すように、バッグ2201にIDチップ2202を実装する。例えば、バッグ2201の底又は側面の一部等にIDチップ2202を実装することができる。IDチップ2202は非常に薄型で小さいため、バッグ2201のデザイン性を低下させずに実装することができる。加えてIDチップ2202は透光性を有し、盗難者はID2202チップが実装されているかを判断しにくい。そのため、盗難者によってIDチップ2202が取り外される恐れがない。

【0128】

このようなIDチップ実装バッグが盗難された場合、例えばGPS(Global Positioning System)を用いてバッグの現在位置に関する情報を得ることができる。なおGPSとは、GPS用の衛星から送られる信号をとらえてその時間差を求め、これをもとに測位するシステムである。

【0129】

また盗難された物品以外にも忘れ物や落とし物を、GPSを用いて現在位置に関する情報を得ることができる。

【0130】

またバッグ以外にも、自動車、自転車等の乗物、時計やアクセサリにIDチップを実装することができる。

【0131】

次に偽造防止の例として、パスポートや免許証等にIDチップを実装する場合を説明する。

【0132】

図23(A)に、IDチップを実装したパスポート2301を示す。図23(A)ではIDチップ2302がパスポート2301の表紙に実装されているが、その他のページに実装してもよく、IDチップ2302は透光性を有するため表面に実装してもよい。またIDチップ2302を表紙等の材料で挟み込むようにし、表紙の内部に実装することも可能である。

【0133】

図23(B)には、IDチップを実装した免許証2303を示す。図23(B)では、IDチップ2304が免許証2303の内部に実装されている。またIDチップ2304は透光性を有するため、免許証2303の印刷面上に設けても構わない。例えば、IDチップ2304は免許証2303の印字面上に実装し、ラミネートで覆うことができる。またIDチップ2304を免許証2303の材料で挟み込むようにし、内部に実装することも可能である。

【0134】

以上のような物品にIDチップを実装することにより、偽造を防止することができる。また上述したバッグにIDチップを実装し、偽造を防止することもできる。加えて非常に薄型で小さいIDチップを用いるため、パスポートや免許証等のデザイン性を損ねることがない。さらにIDチップは透光性を有するため、表面に実装しても構わない。

【0135】

またIDチップにより、パスポートや免許証等の管理を簡便に行うことができる。さらにパスポートや免許証等に直接情報を記入することなく、IDチップに保存することができるため、プライバシーを守ることができる。

【0136】

安全管理を行うため、食料品等の商品へIDチップを実装する場合を図24を用いて説明する。

IDチップ2403を実装したラベル2402と、当該ラベル2402が貼られた肉のパック2401を示す。IDチップ2403はラベル2402の表面に実装していてもよいし、ラベル2402内部に実装してもよい。また野菜等の生鮮食品の場合、生鮮食品を覆うラップにIDチップを実装してもよい。

【0137】

IDチップ2403には、商品の生産地、生産者、加工年月日、賞味期限等の商品に関する基本事項、更には商品を用いた調理例等の応用事項を記録することができる。このような基本事項は、書き換える必要がないためROM等の書き換え不能なメモリを用いて記録するとよい。またこのような応用事項は、EEPROM等の書き換え、消去可能なメモリを用いて記録するとよい。

【0138】

また食料品の安全管理を行うためには、加工前の動植物の状態を知り得ることが重要である。そのため、動植物内にIDチップを埋め込み、リーダ装置によって動植物に関する情報を取得するとよい。動植物に関する情報とは、飼育地、飼料、飼育者、伝染病の感染の有無等である。

【0139】

またIDチップに、商品の値段が記録されていれば、従来のバーコードを用いる方式よりも、簡便、短時間に商品の精算を行うことが可能となる。すなわち、IDチップが実装された複数の商品を一挙に精算することができる。但し、このように複数のIDチップを読み取る場合、アンチコリジョン機能をリーダ装置に搭載する必要がある。

【0140】

さらにIDチップの通信距離によっては、レジスターと商品との距離が遠くても、商品の精算を可能とすることができる。またIDチップは万引き防止にも役立つ。

【0141】

さらにIDチップは、バーコード、磁気テープ等のその他の情報媒体と併用することもできる。例えば、IDチップには書き換え不要の基本事項を記録し、バーコードには更新すべき情報、例えば値引き価格や特価情報を記録するとよい。バーコードはIDチップと異なり、情報の修正を簡便に行うことができるからである。

【0142】

このようにIDチップを実装することにより、消費者へ提供できる情報を増大させることができるため、消費者は安心して商品を購入することができる。

【0143】

物流管理を行うため、ビール瓶等の商品へIDチップを実装する場合を説明する。図25(A)に示すように、ビール瓶にIDチップ2502を実装する。例えば、ラベル2501を用いてIDチップ2502を実装することができる。

【0144】

IDチップには、製造日、製造場所、使用材料等の基本事項を記録する。このような基本事項は、書き換える必要がないためMR OM等の書き換え不能なメモリを用いて記録するとよい。加えてIDチップには、各ビール瓶の配送先、配送日時等の個別事項を記録する。例えば、図25(B)に示すように、各ビール瓶2503がベルトコンベア2506により流れ、ライタ装置2505を通過するとき、ラベル2504に内蔵されたIDチップ2507に各配送先、配送日時を記録することができる。このような個別事項は、E ROM等の書き換え、消去可能なメモリを用いて記録するとよい。

【0145】

また配達先から購入された商品情報がネットワークを通じて物流管理センターへ送信されると、この商品情報に基づき、ライタ装置又は当該ライタ装置を制御するパーソナルコンピュータ等が配送先や配送日時を算出し、IDチップへ記録するようなシステムを構築するとよい。

【0146】

また配達にはケース毎に行われるため、ケース毎、又は複数のケース毎にIDチップを実装し、個別事項を記録することもできる。

【0147】

このような複数の配達先が記録されうる飲料品は、IDチップを実装することにより、手作業で行う入力にかかる時間を削減でき、それに起因した入力ミスを低減することができる。加えて物流管理の分野において最もコストのかかる人件費用を削減することができる。従って、IDチップを実装したことにより、ミスの少ない、低コストな物流管理を行うことができる。

【0148】

さらに配達先において、ビールに合う食料品や、ビールを使った料理法等の応用事項を記録してもよい。その結果、食料品等の宣伝を兼ねることができ、消費者の購買意欲を高めることができる。このような応用事項は、E E ROM等の書き換え、消去可能なメモリを用いて記録するとよい。このようにIDチップを実装することにより、消費者へ提供できる情報を増大させることができるため、消費者は安心して商品を購入することができる。

【0149】

製造管理を行うため、IDチップを実装した製造品と、当該IDチップの情報に基づき制御される製造装置（製造ロボット）について説明する。

【0150】

現在、オリジナル商品を生産する場面が多くみられ、このような場合、生産ラインでは当該商品のオリジナル情報に基づくように生産する。例えば、ドアの塗装色を自由に選択することができる自動車の生産ラインにおいては、自動車の一部にID Fチップを実装し、当該IDチップからの情報に基づき、塗装装置を制御する。そしてオリジナルな自動車を生産することができる。

IDチップを実装する結果、事前に生産ラインに投入される自動車の順序や同色を有する数を調整する必要がない。強いては、自動車の順序や数それに合わせるように塗装装置を制御するプログラムを設定しなくてすむ。すなわち製造装置は、自動車に実装されたIDチップの情報に基づき、個別に動作することができる。

【0151】

このようにIDチップは様々な場所で使用することができる。そしてIDチップに記録された情報により、製造に関する固有情報を得ることができ、当該情報に基づき製造装置を制御することができる。

【0152】

次に、本発明のIDチップを用いたICカードを、電子マネーとして利用する形態について説明する。図26に、ICカード2601を用いて、決済をおこなっている様子を示す。ICカード2601は、本発明のIDチップ2602を有している。ICカード2601の利用の際には、レジスター2603、リーダ/ライタ2604を用いる。IDチップ2602には、ICカード2601に入金されている金額の情報が保持されており、リーダ/ライタ2604は該金額の情報を非接触で読み取り、レジスター2603に送信することができる。レジスター2603では、ICカード2601に入金されている金額が、決済する金額以上であることを確認し、決済を行なう。そしてリーダ/ライタ2604に決済後の残額の情報を送信する。リーダ/ライタ2604は該残額の情報を、ICカード2601のIDチップ2602に書き込むことができる。

【0153】

なおリーダ/ライタ2604に、暗証番号などを入力することができるキー2605を付加し、第三者によってICカード2601を用いた決済が無断で行なわれるのを制限できるようにしても良い。

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【0154】

以上の様に、本発明の適用範囲は極めて広く、あらゆる物品の固体認識用のチップとして適用することが可能である。また、本実施例は実施形態、実施例1～6のどのような組み合わせからなる構成を用いても実現することができる。

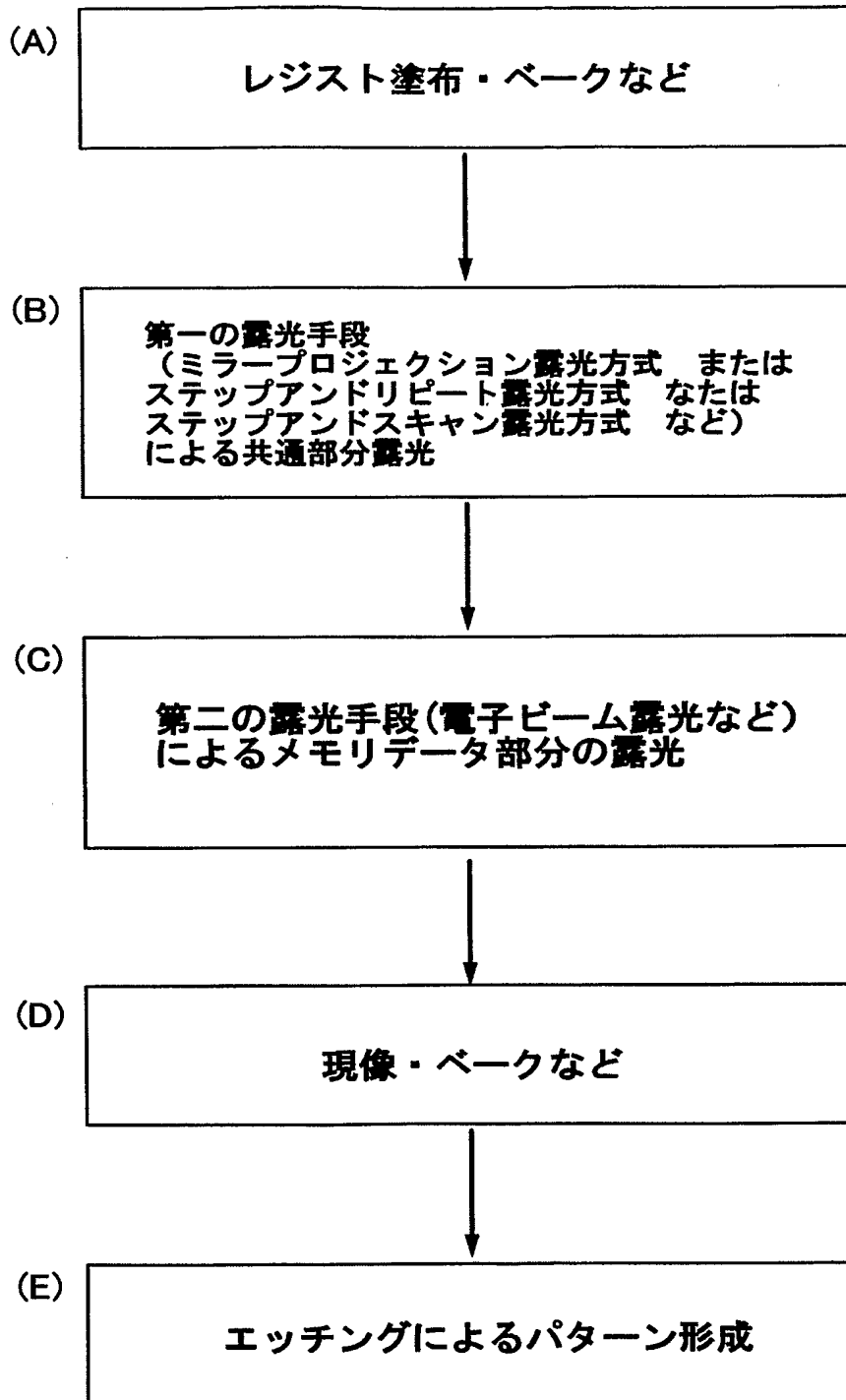
【図面の簡単な説明】

【0155】

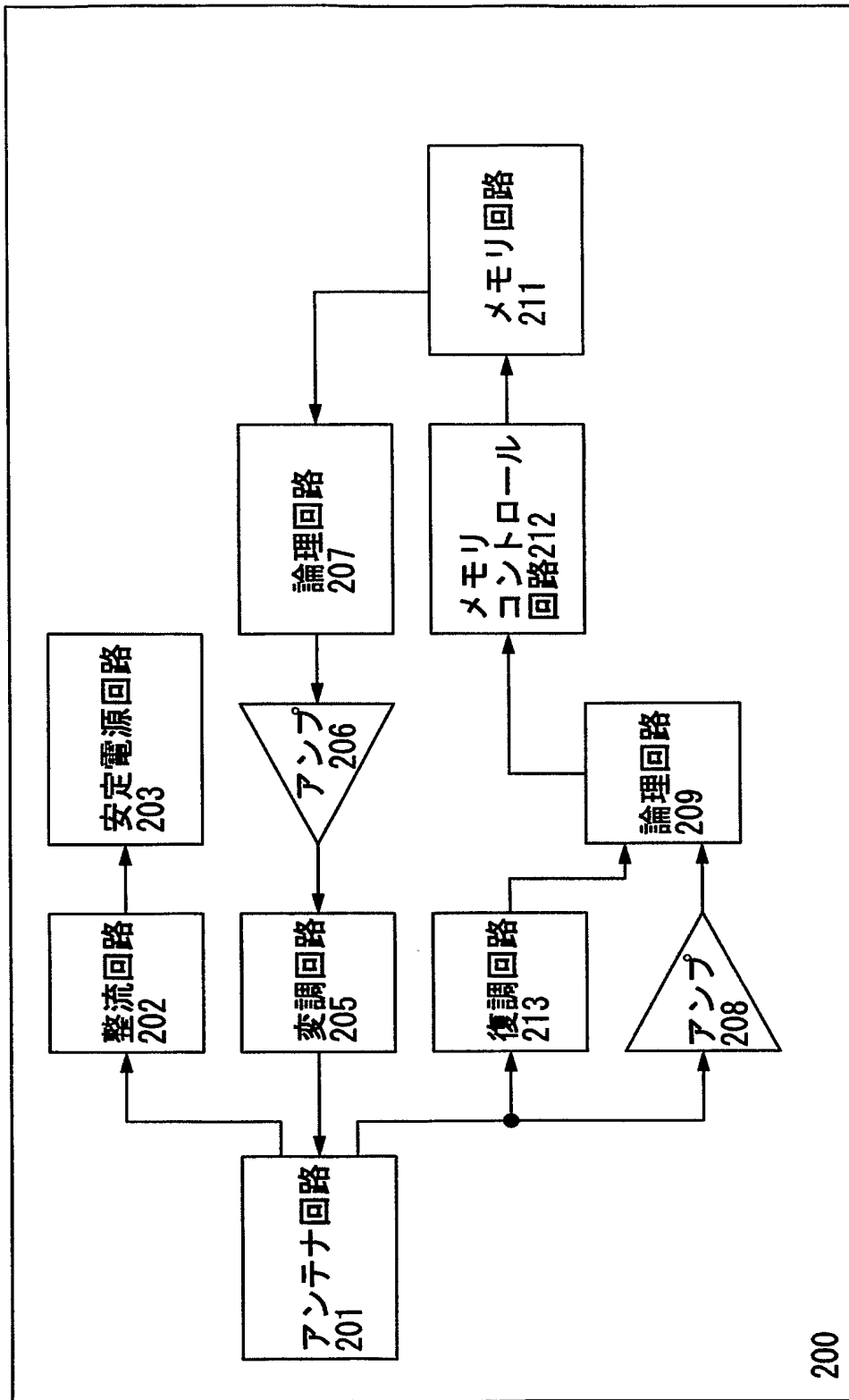
- 【図1】 本発明の半導体装置の製造方法のフローを示す図。
- 【図2】 従来の半導体装置の構成を示すブロック図。
- 【図3】 従来の半導体装置の構成を示すブロック図。
- 【図4】 RFタグシステムの概要を示す図。
- 【図5】 ミラープロジェクション露光装置の構成を示す図。
- 【図6】 ステップ・アンド・スキャン露光装置の構成を示す図。
- 【図7】 マスクROMの回路構成を示す図。
- 【図8】 マスクROMのレイアウト構成を示す図。
- 【図9】 本発明の半導体装置の製造方法のフローを示す図。
- 【図10】 本発明のアンテナの実施例を示す図。
- 【図11】 本発明のアンテナの実施例を示す図。
- 【図12】 メモリ回路に記憶されるデータの例を示す図。
- 【図13】 本発明の工程断面図。
- 【図14】 本発明の工程断面図。
- 【図15】 本発明の工程断面図。
- 【図16】 本発明の応用例を示す図。
- 【図17】 本発明におけるTFTの配置を示す図。
- 【図18】 本発明の半導体装置と保護層を組み合わせた図。
- 【図19】 本発明の工程断面図。
- 【図20】 本発明の工程断面図。
- 【図21】 本発明の工程断面図。
- 【図22】 本発明を用いたバッグを示す図。
- 【図23】 本発明を用いた証明書を示す図。
- 【図24】 本発明を用いた食料品管理を説明する図。
- 【図25】 本発明を用いた物流管理を説明する図。
- 【図26】 本発明を用いたICカード決済を説明する図。

【書類名】 図面

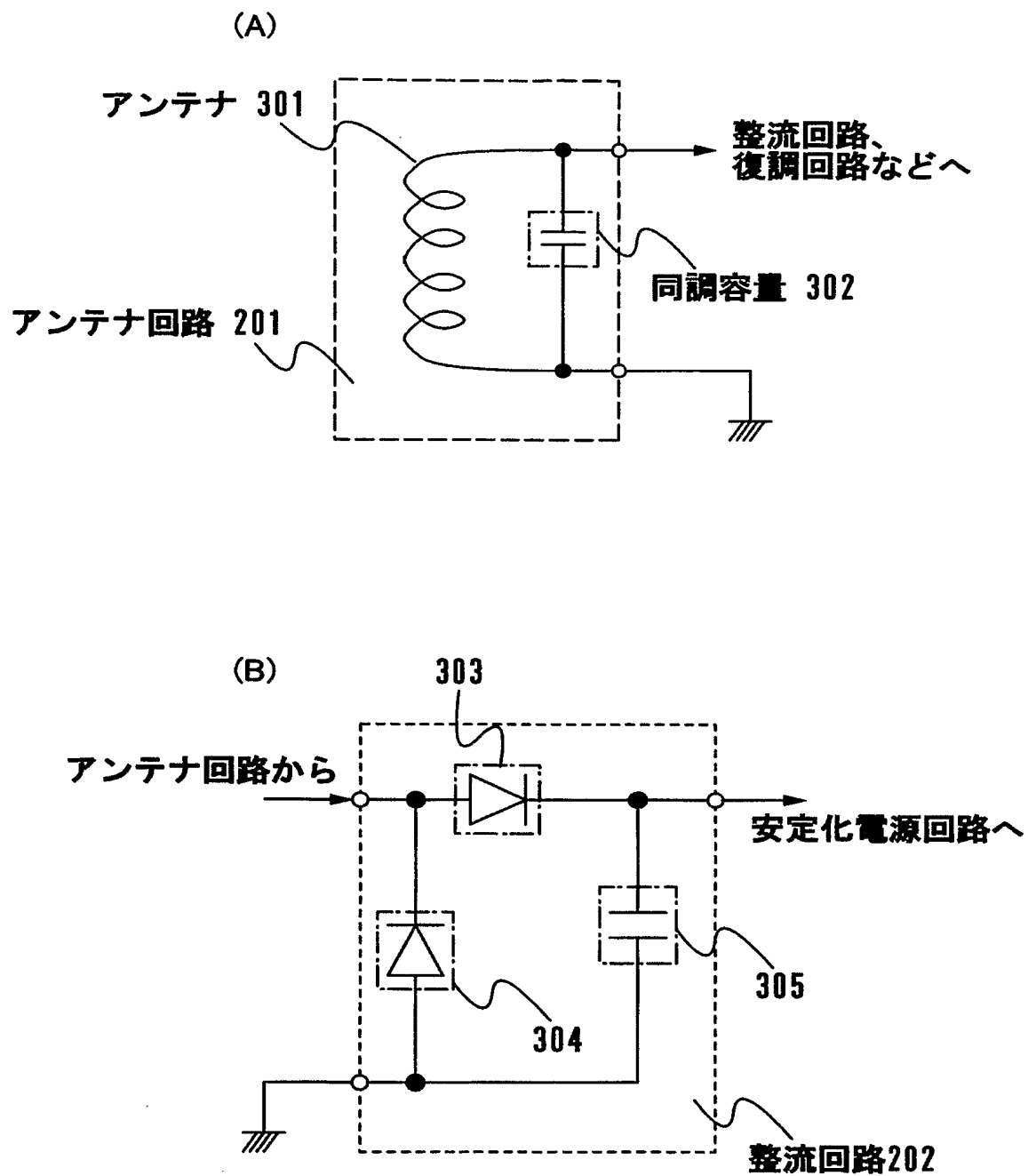
【図 1】



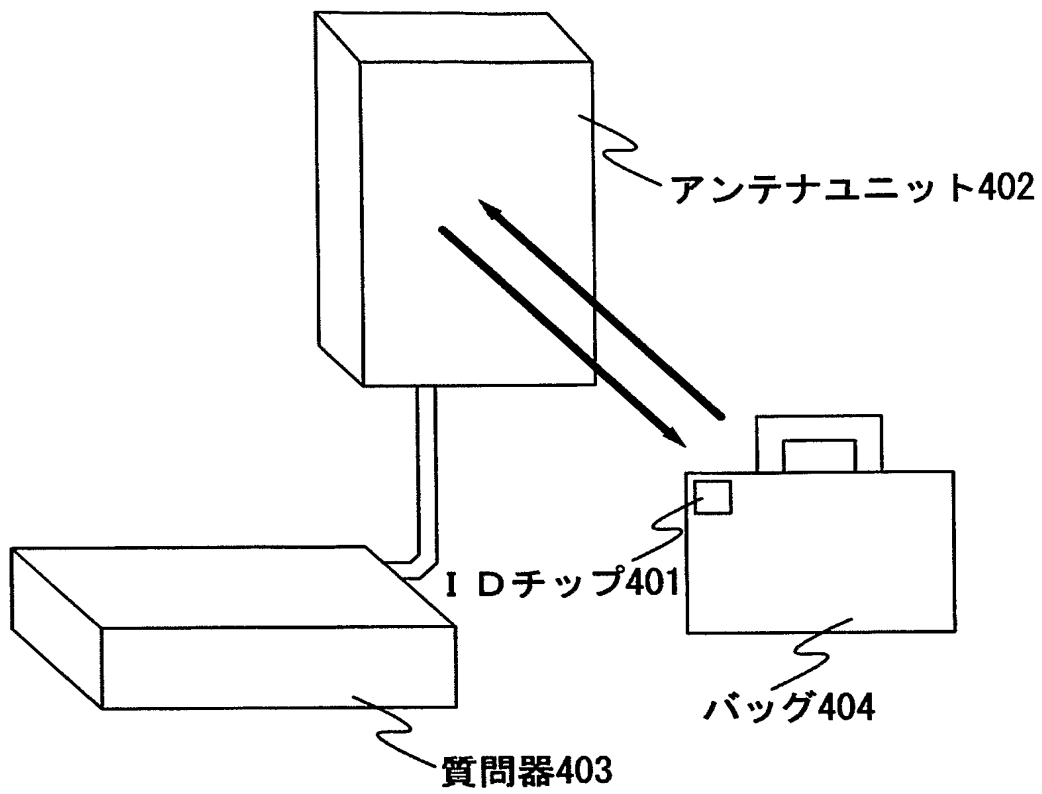
【図 2】



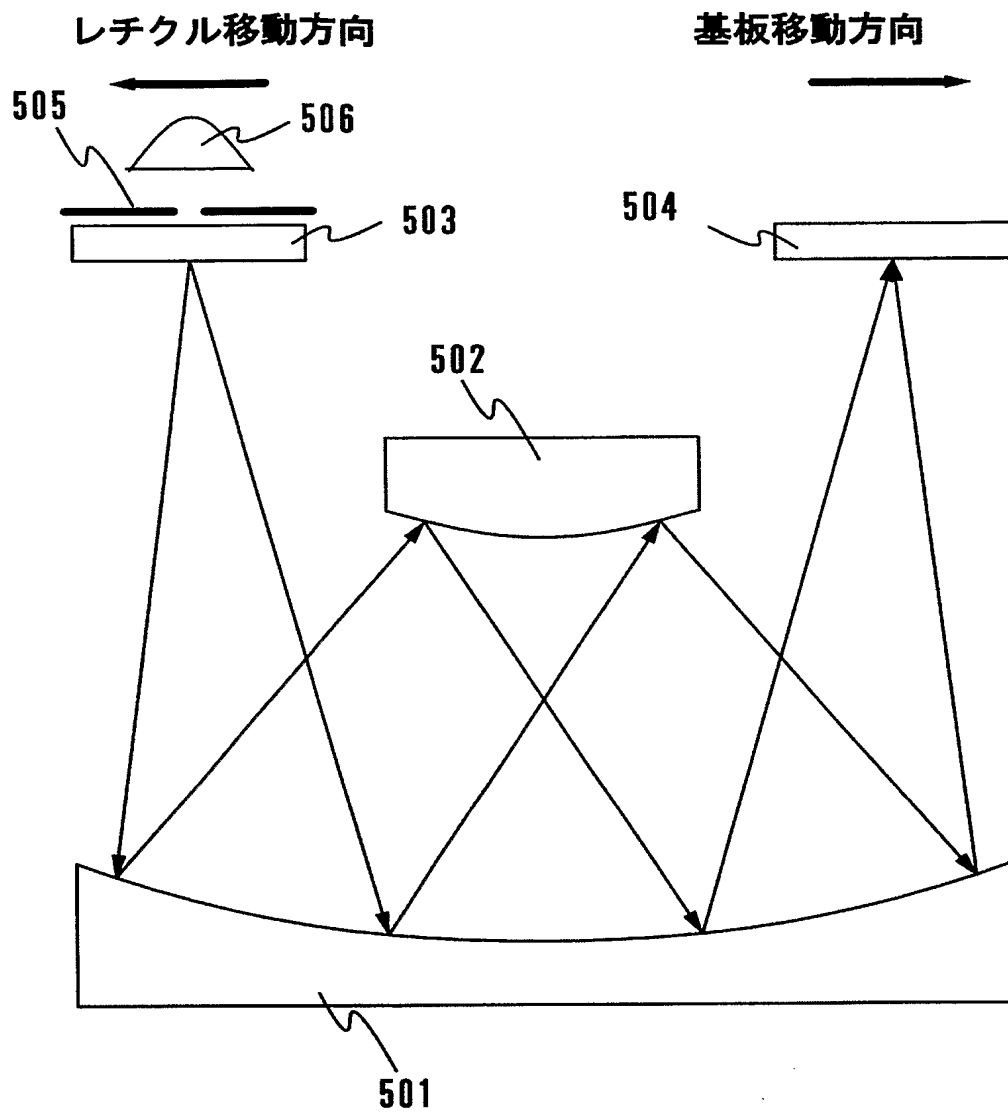
【図 3】



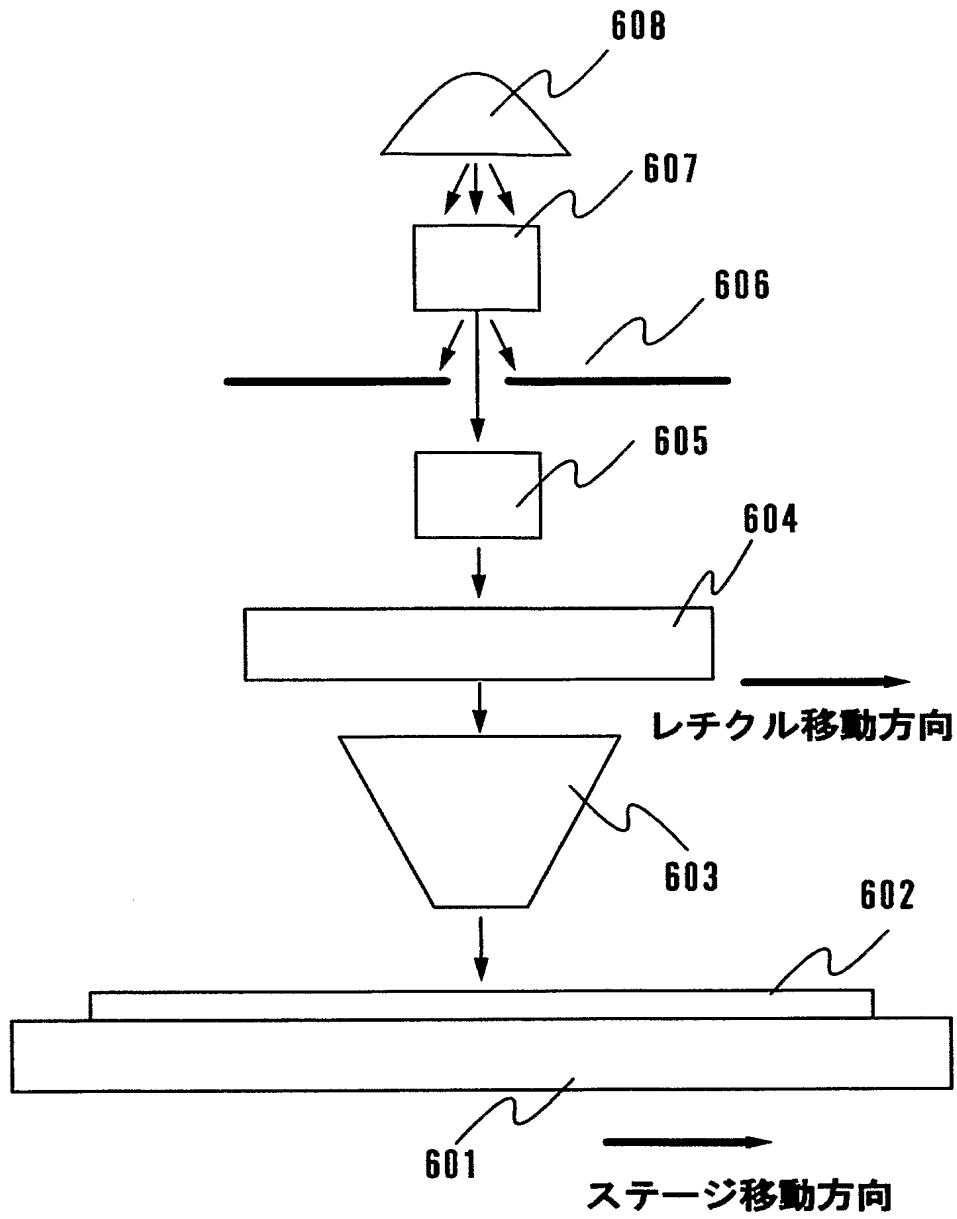
【図 4】



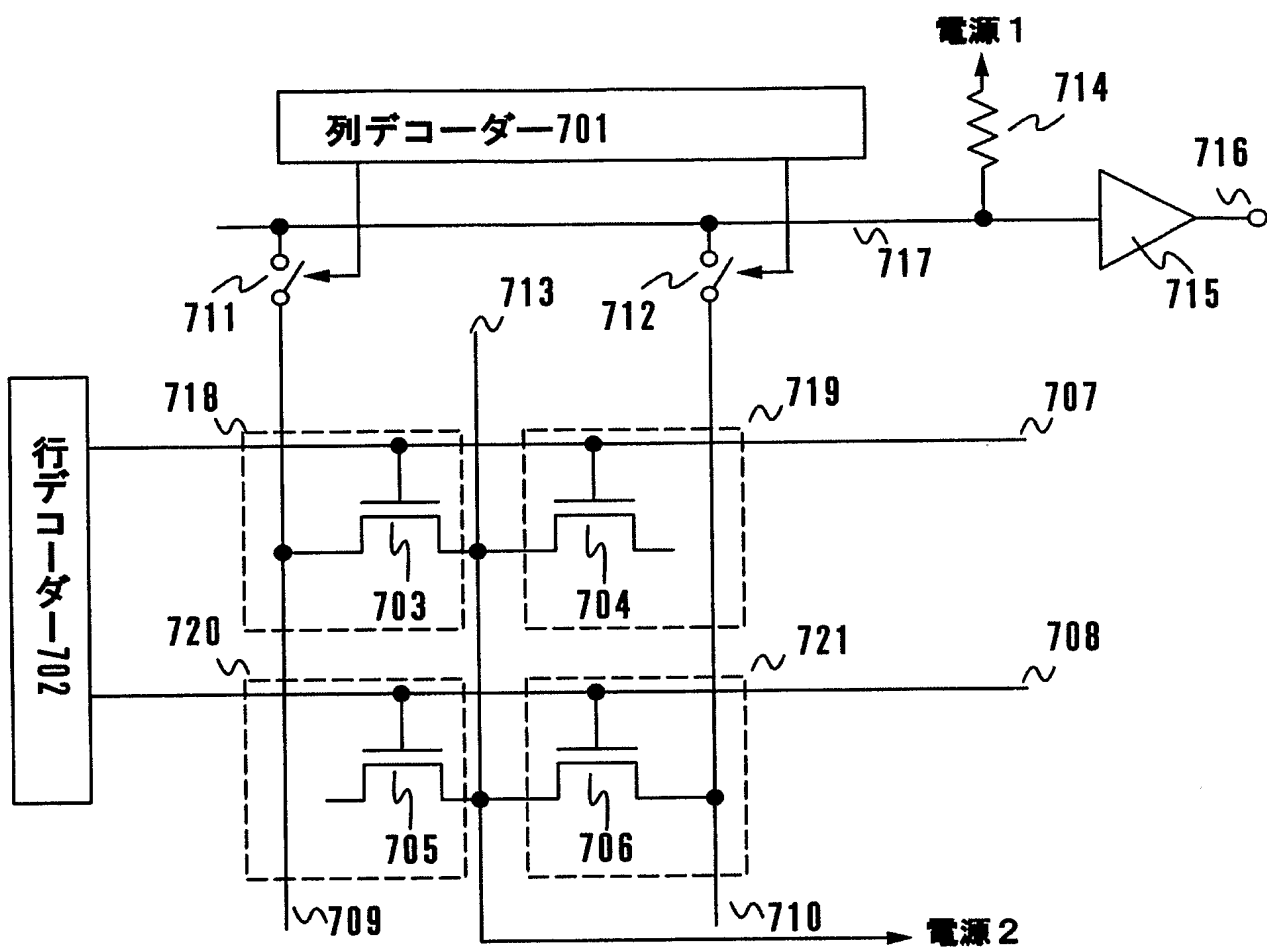
【図 5】



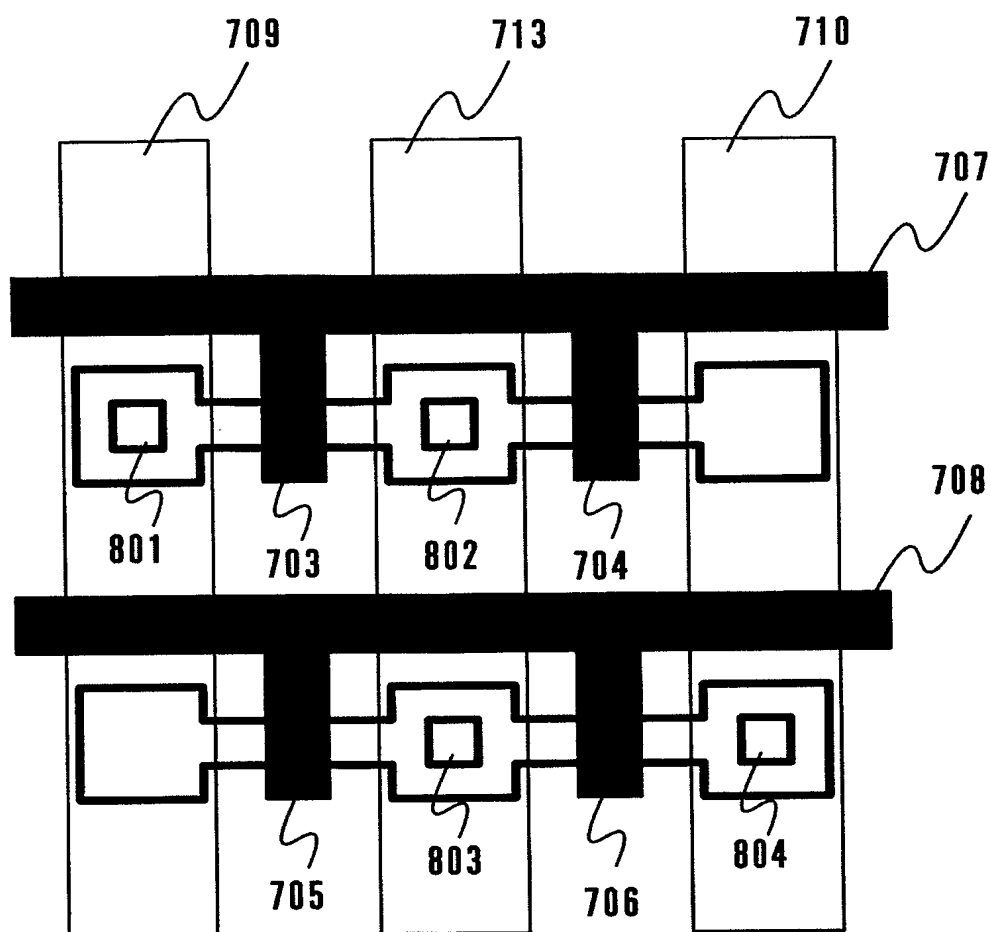
【図 6】



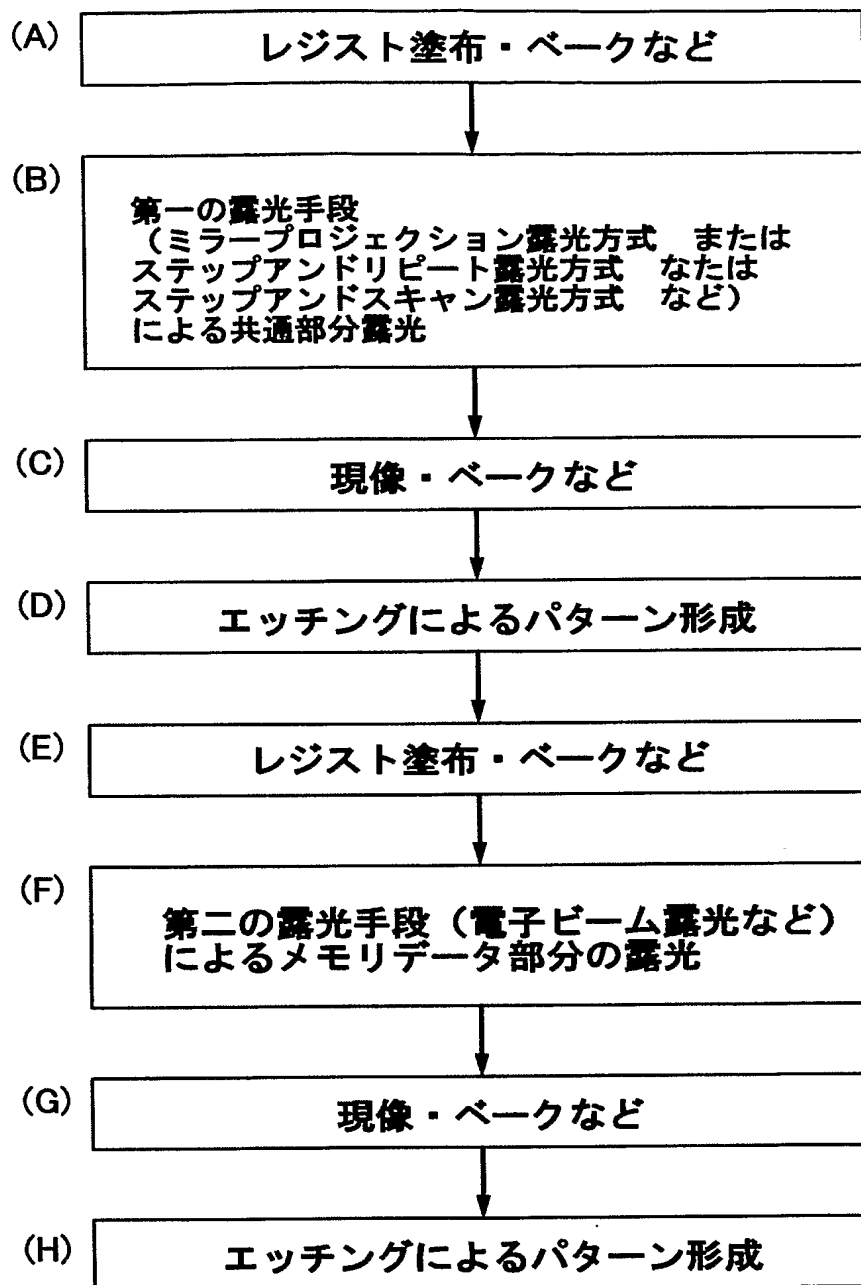
【図 7】



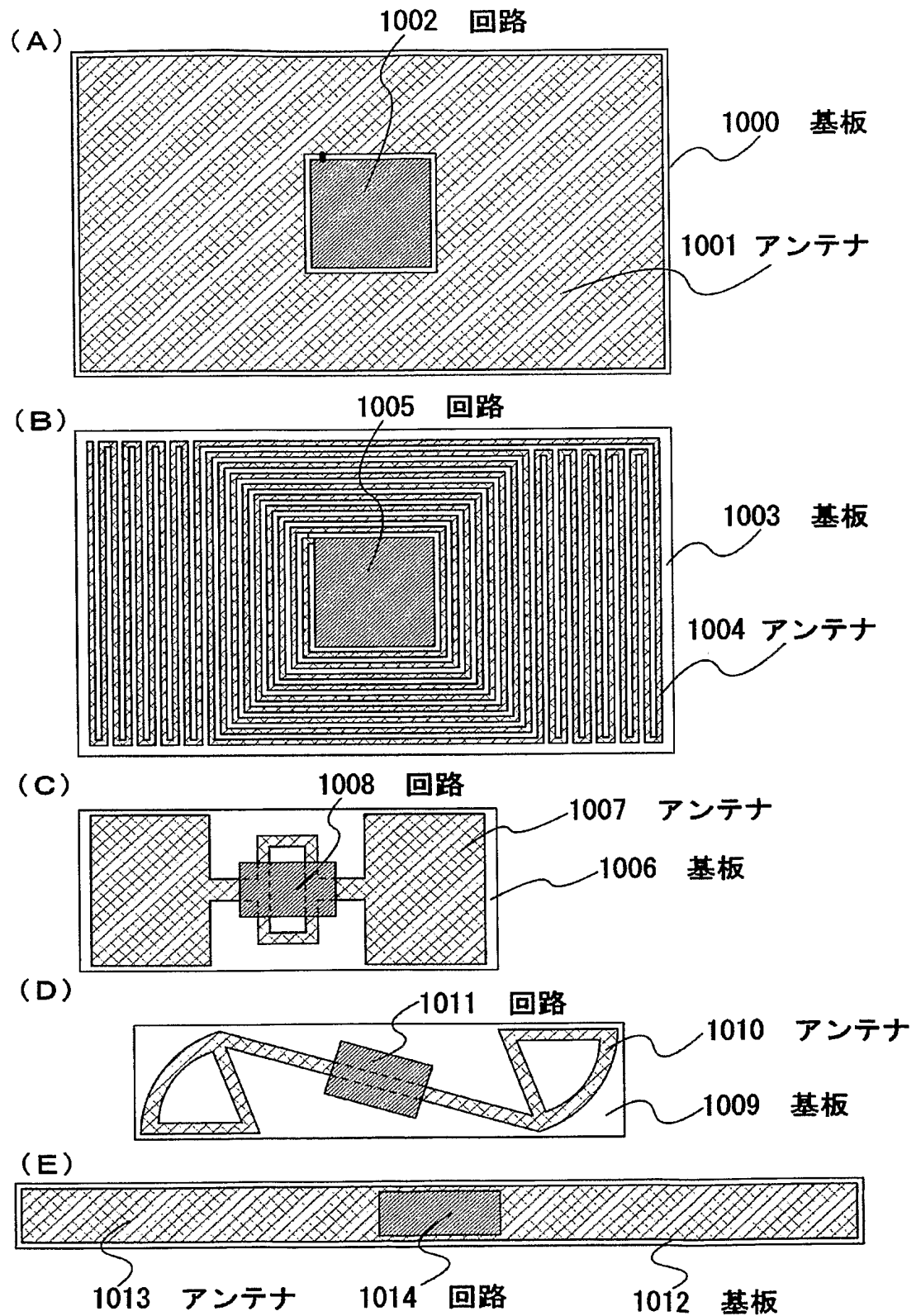
【図 8】



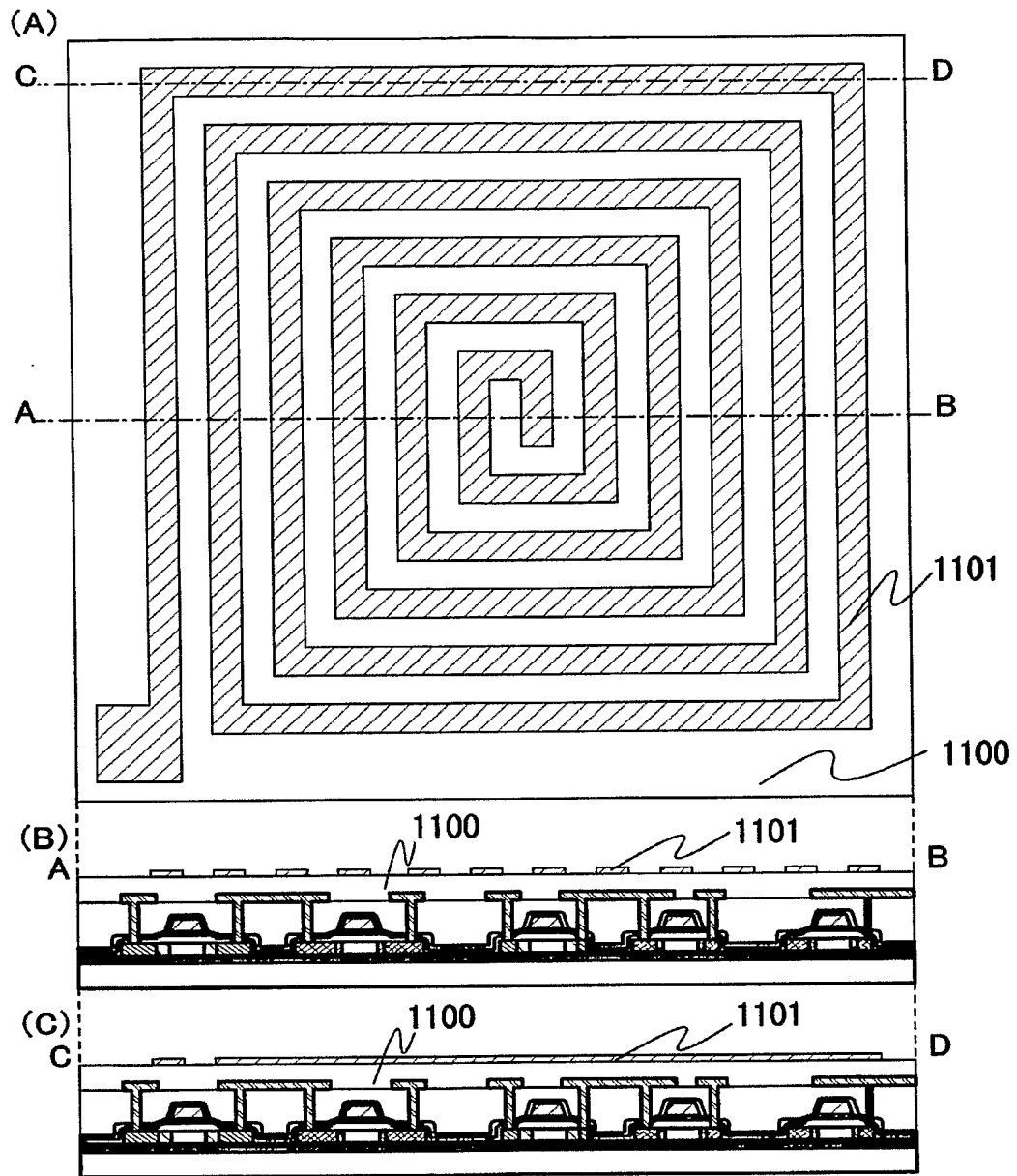
【図 9】



【図10】

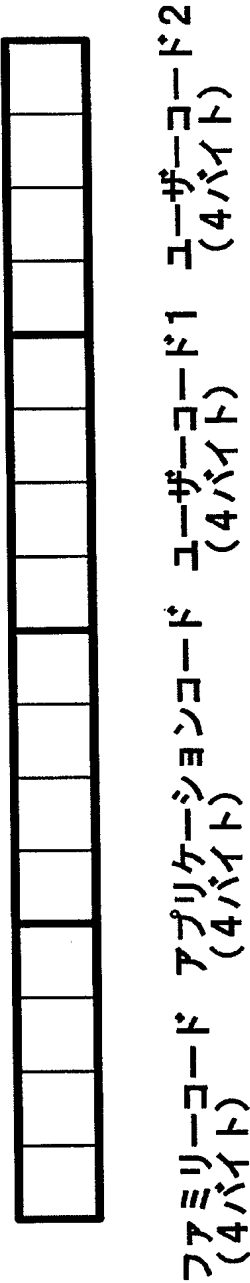


【図 11】

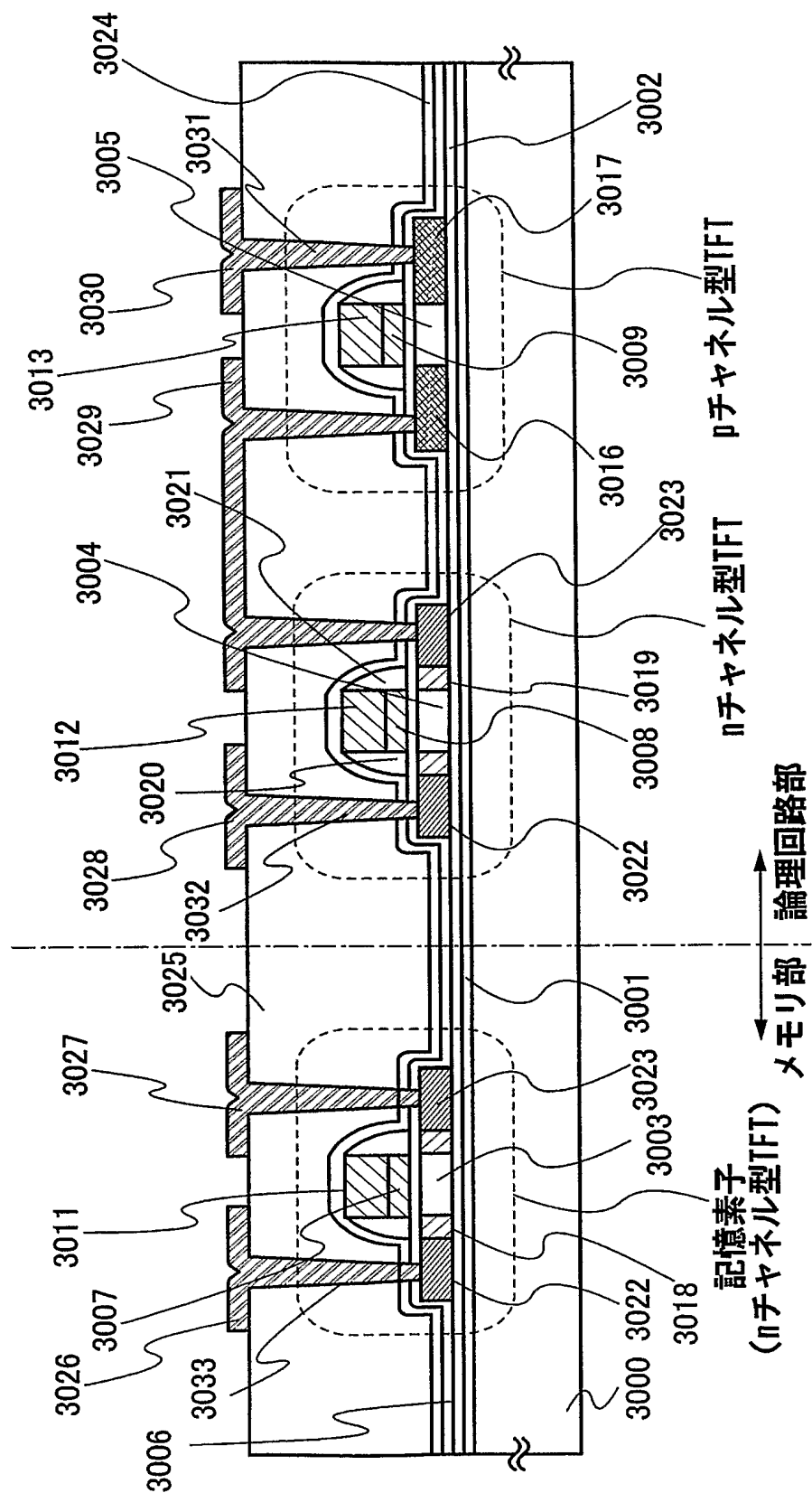


1100 : 上部基板
1101 : アンテナ配線

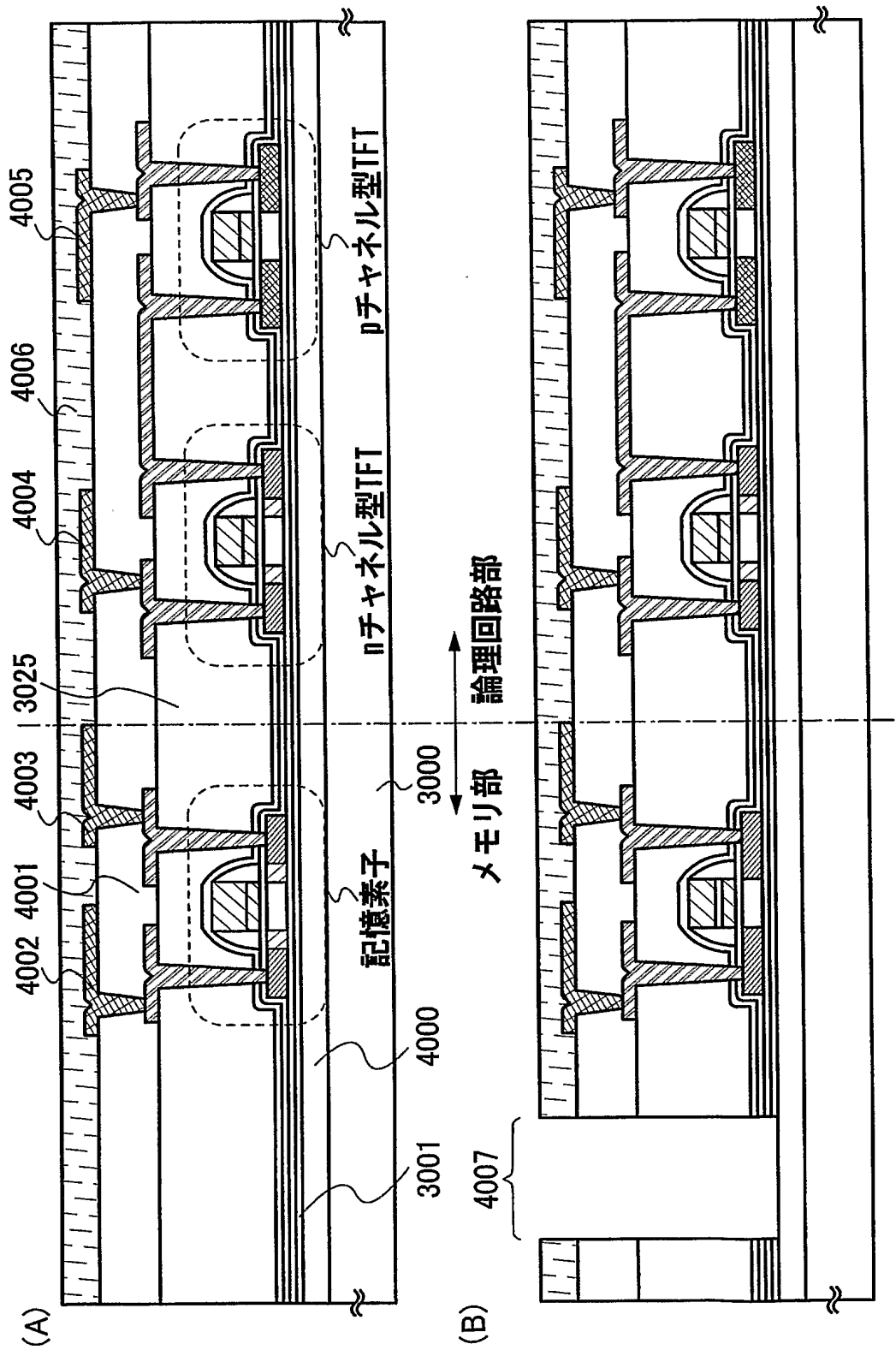
【図 1 2】



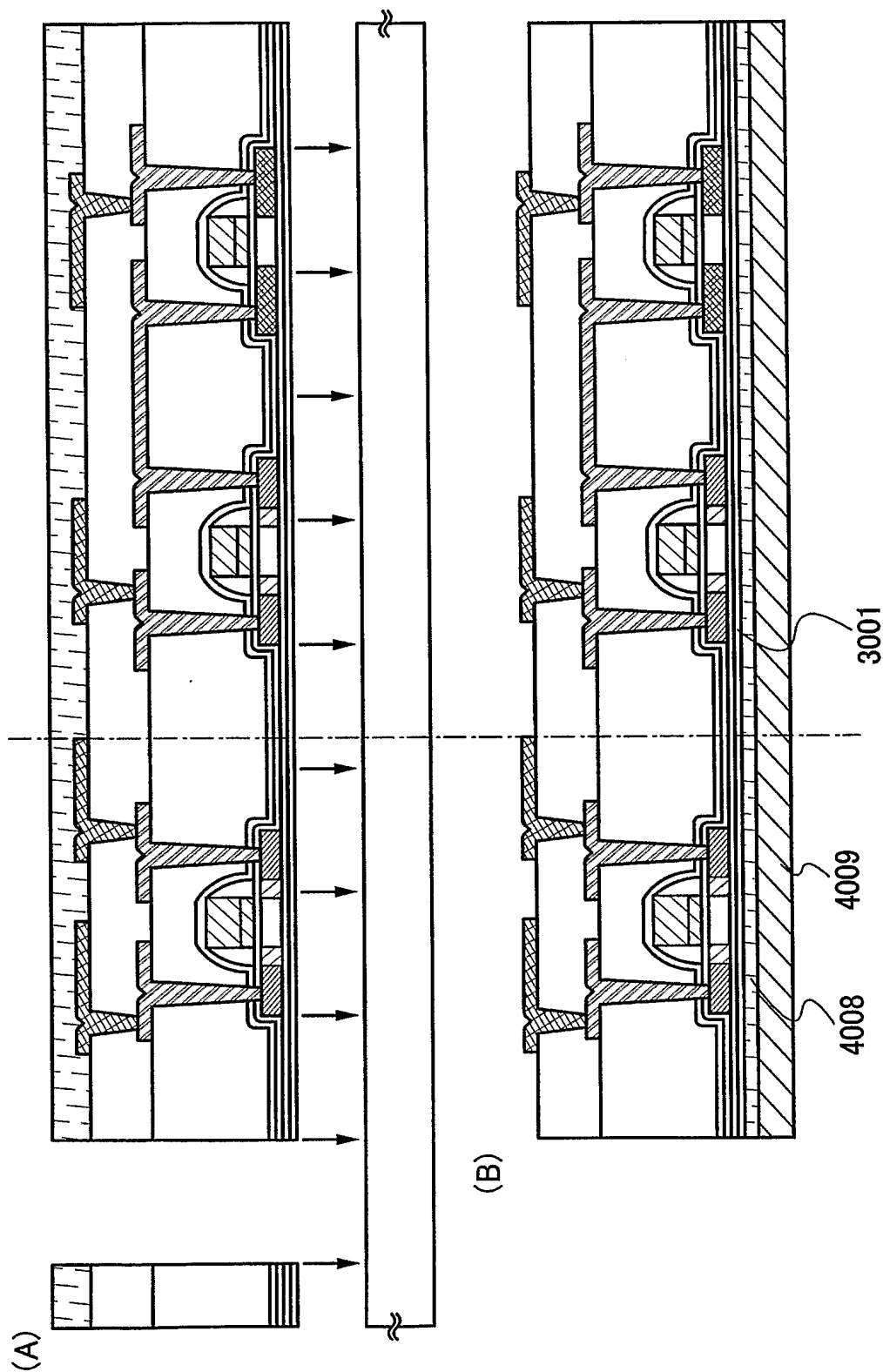
【図 13】



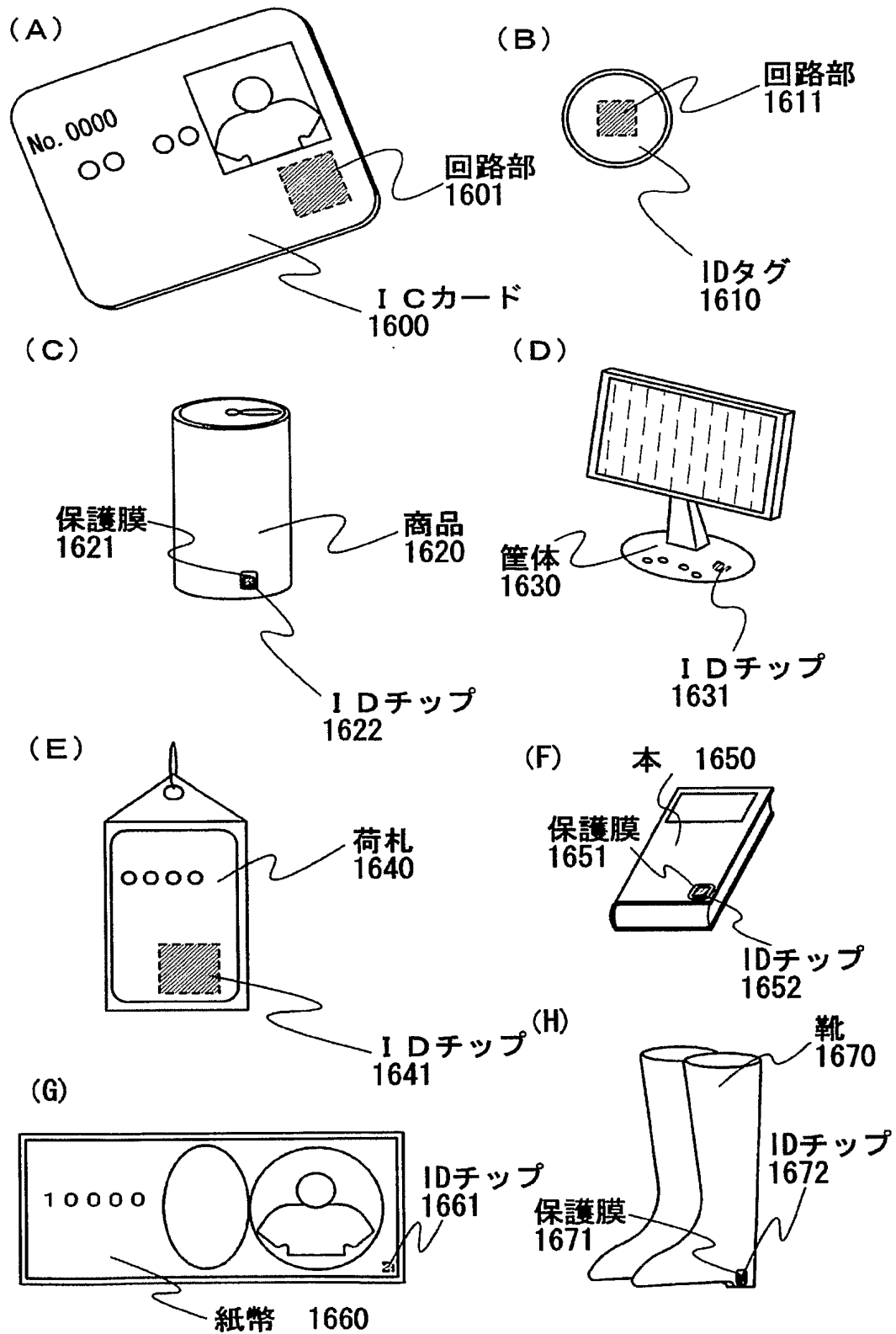
【図 14】



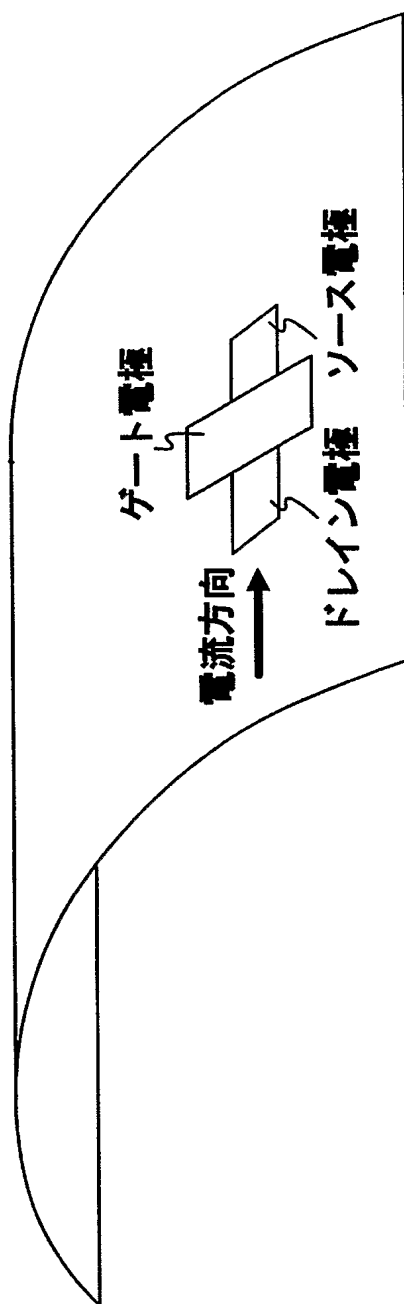
【図 15】



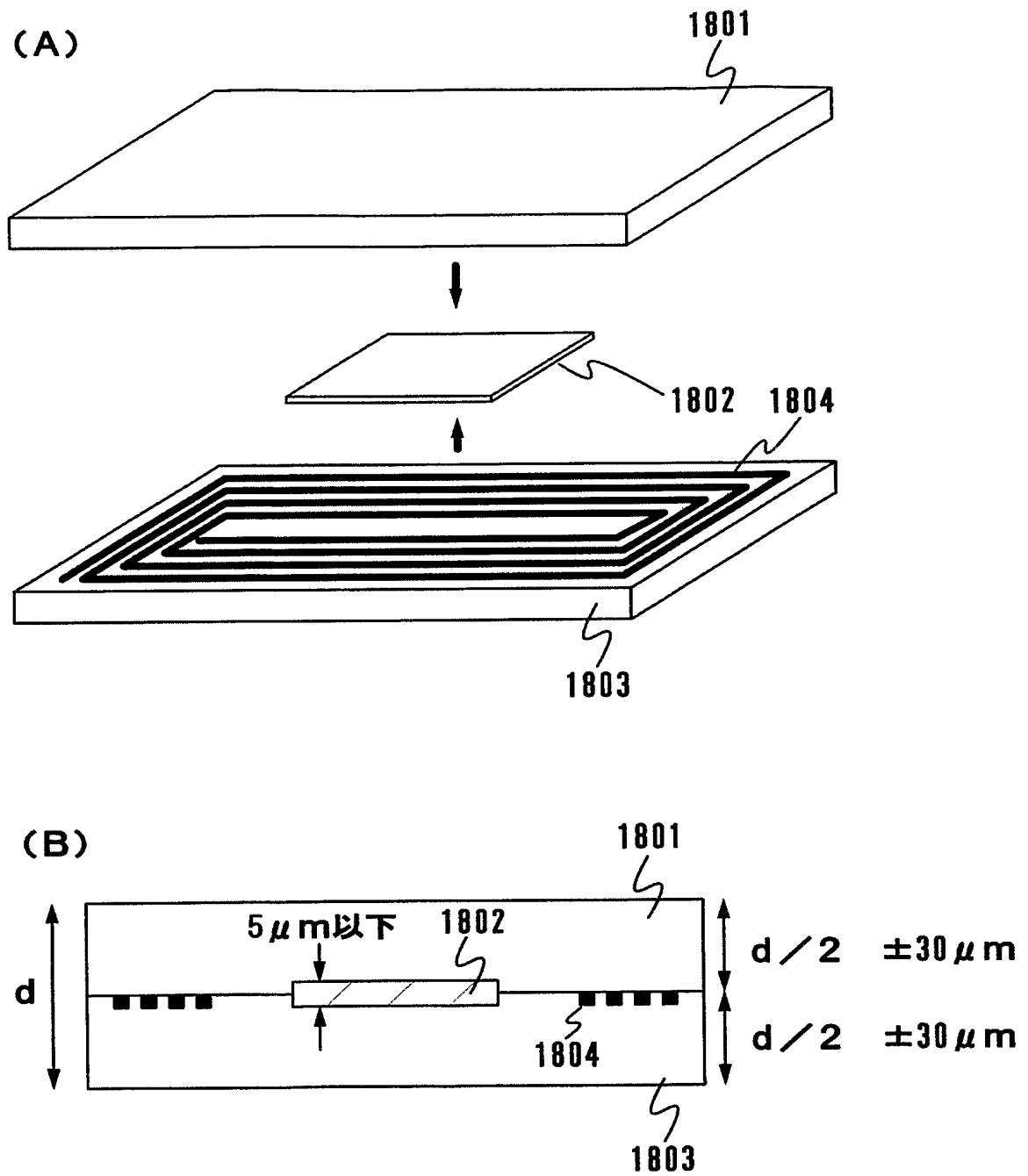
【図 16】



【図 17】

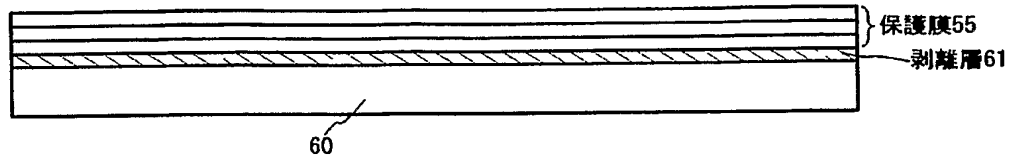


【図 18】

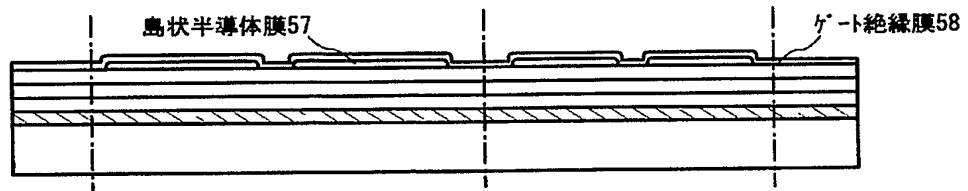


【図 19】

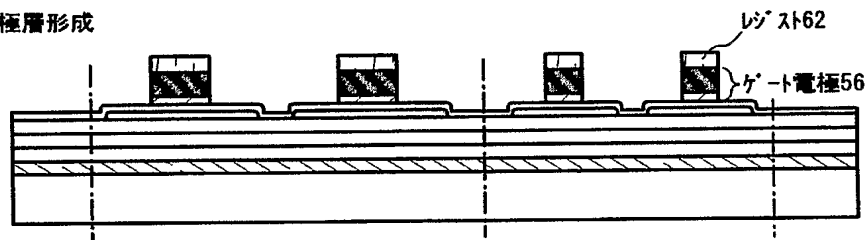
(A) 剥離層・保護膜形成



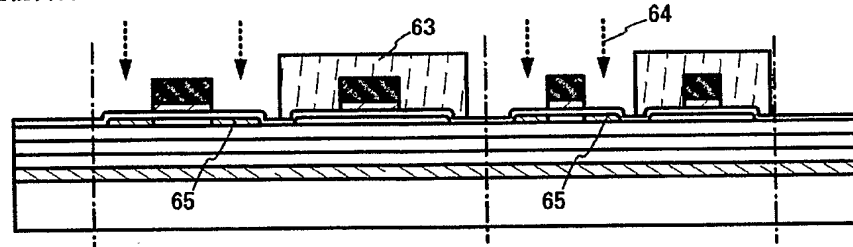
(B) 島状半導体膜・ゲート絶縁膜形成



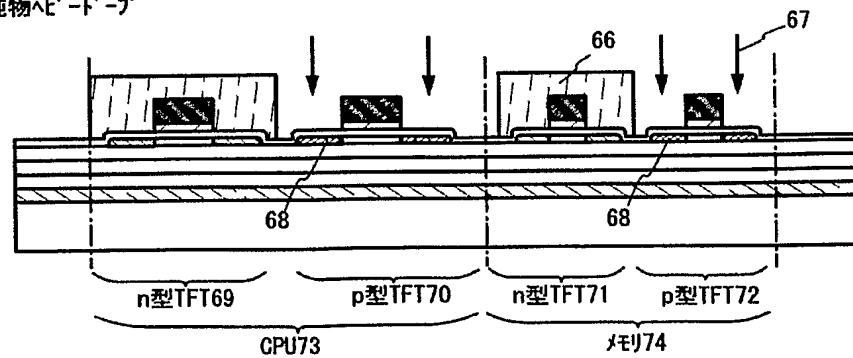
(C) ゲート電極層形成



(D) n型不純物イット-フ

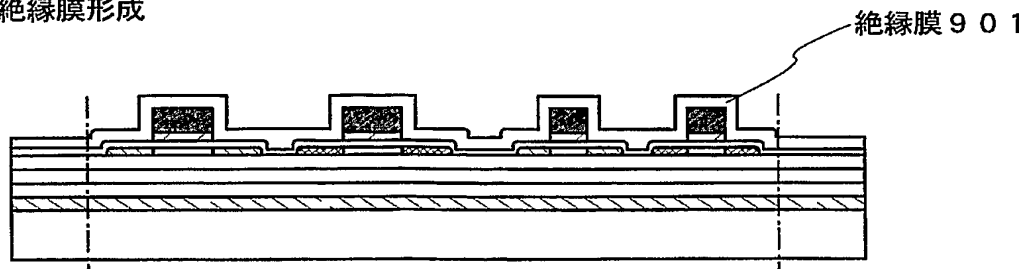


(E) p型不純物イット-フ

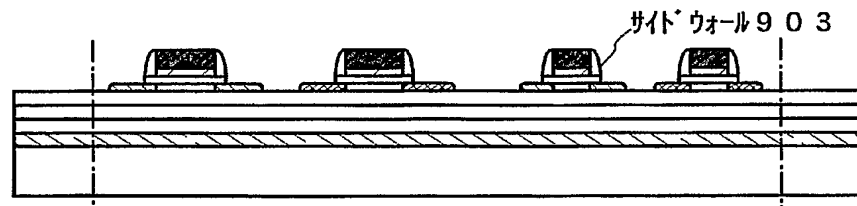


【図 20】

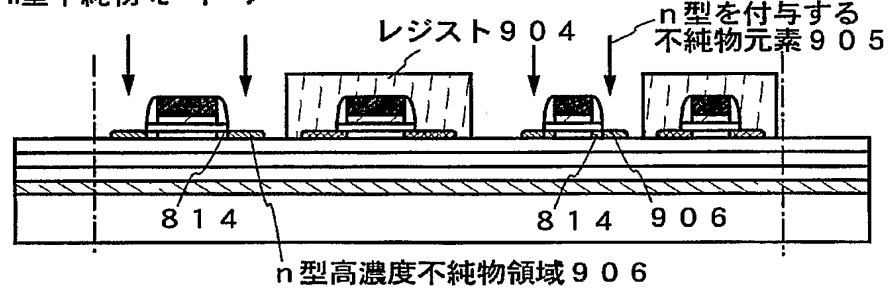
(F) 絶縁膜形成



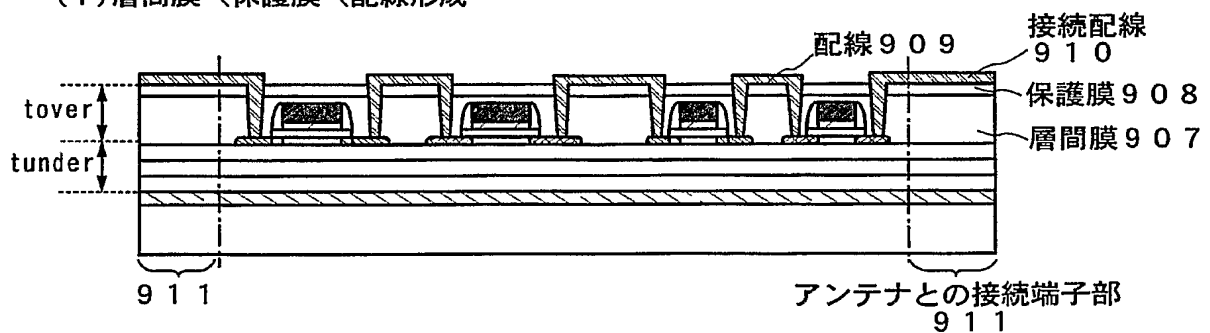
(G) イッチバック (サイドウォール形成)



(H) n型不純物ヘドーフ

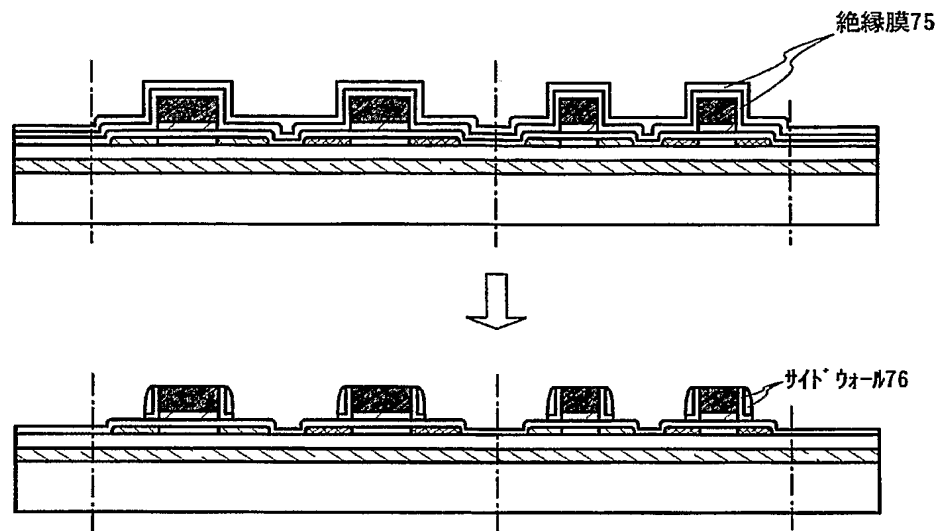


(I) 層間膜\保護膜\配線形成

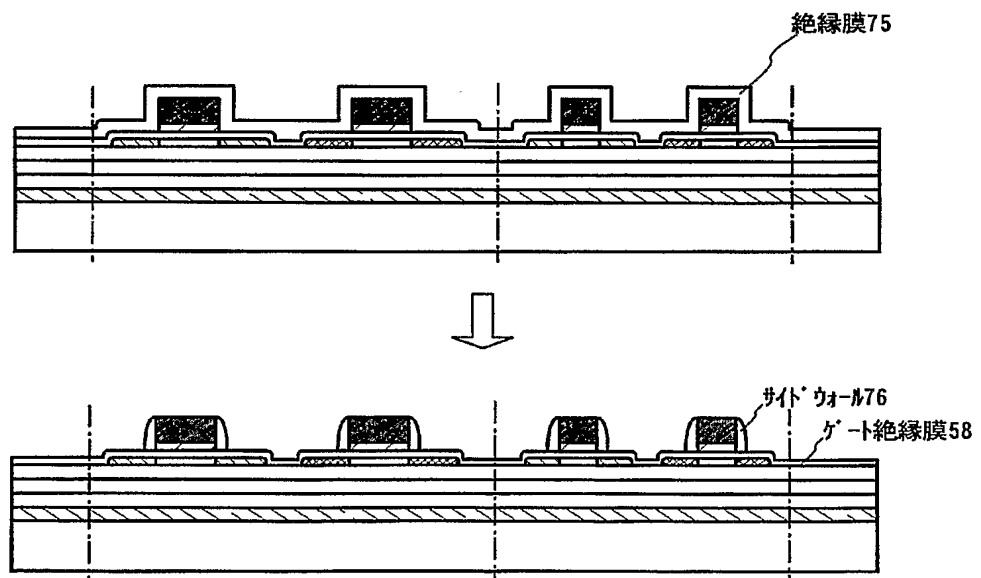


【図 21】

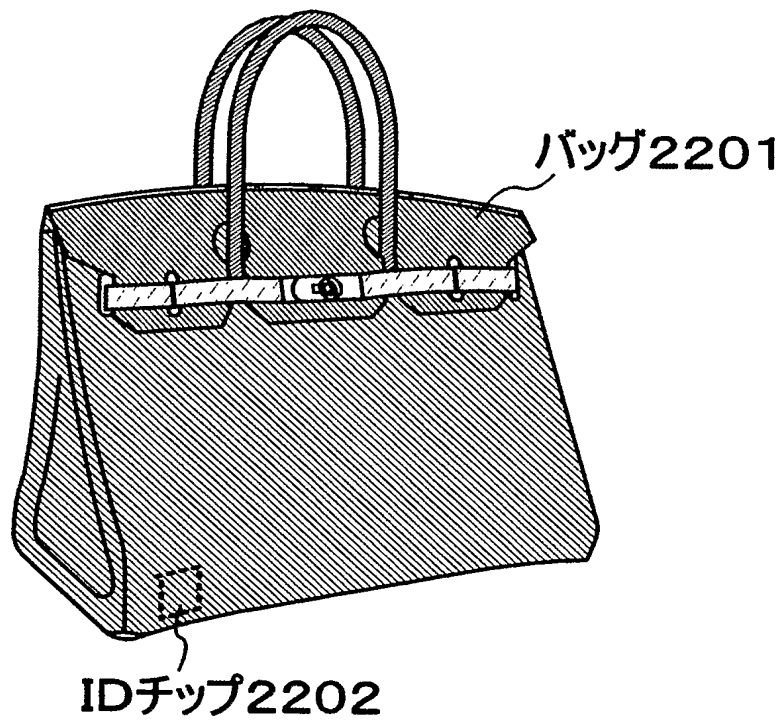
(A)



(B)



【図 22】

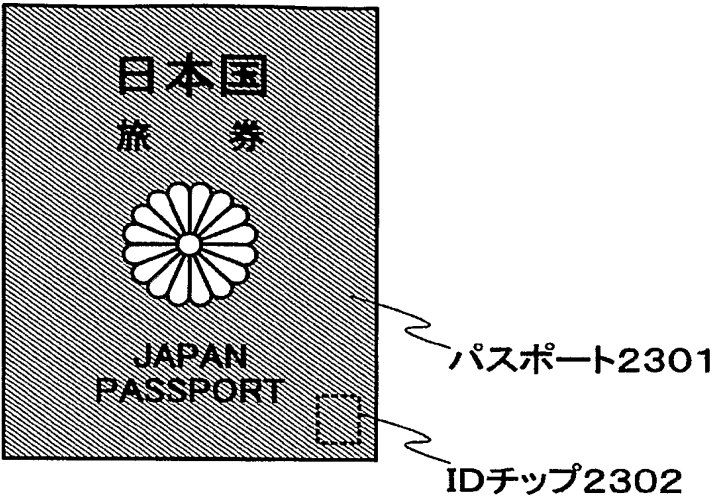


バッグ2201

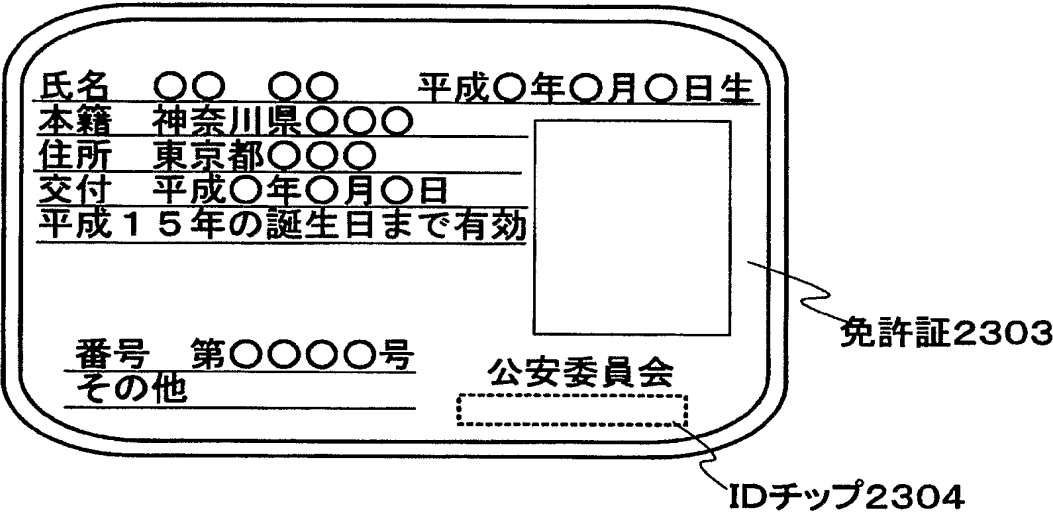
IDチップ2202

【図 2 3】

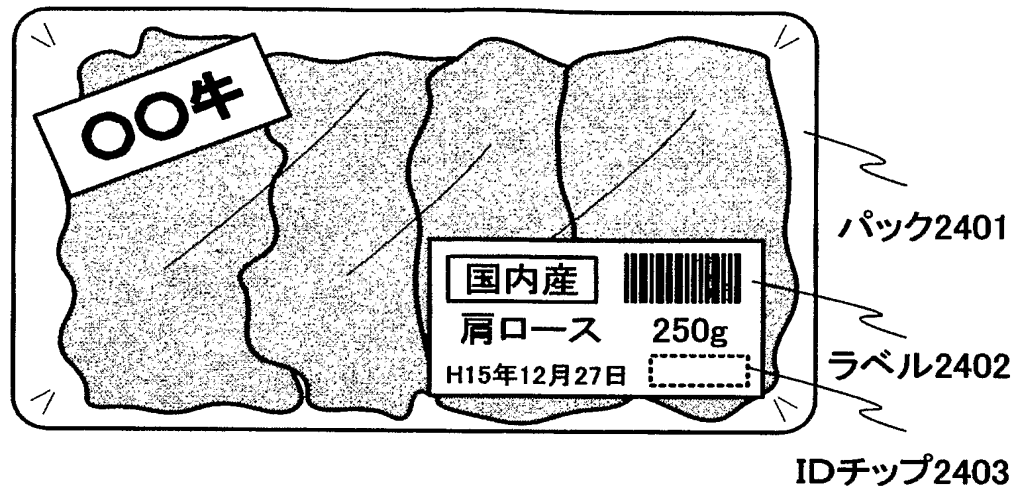
(A)



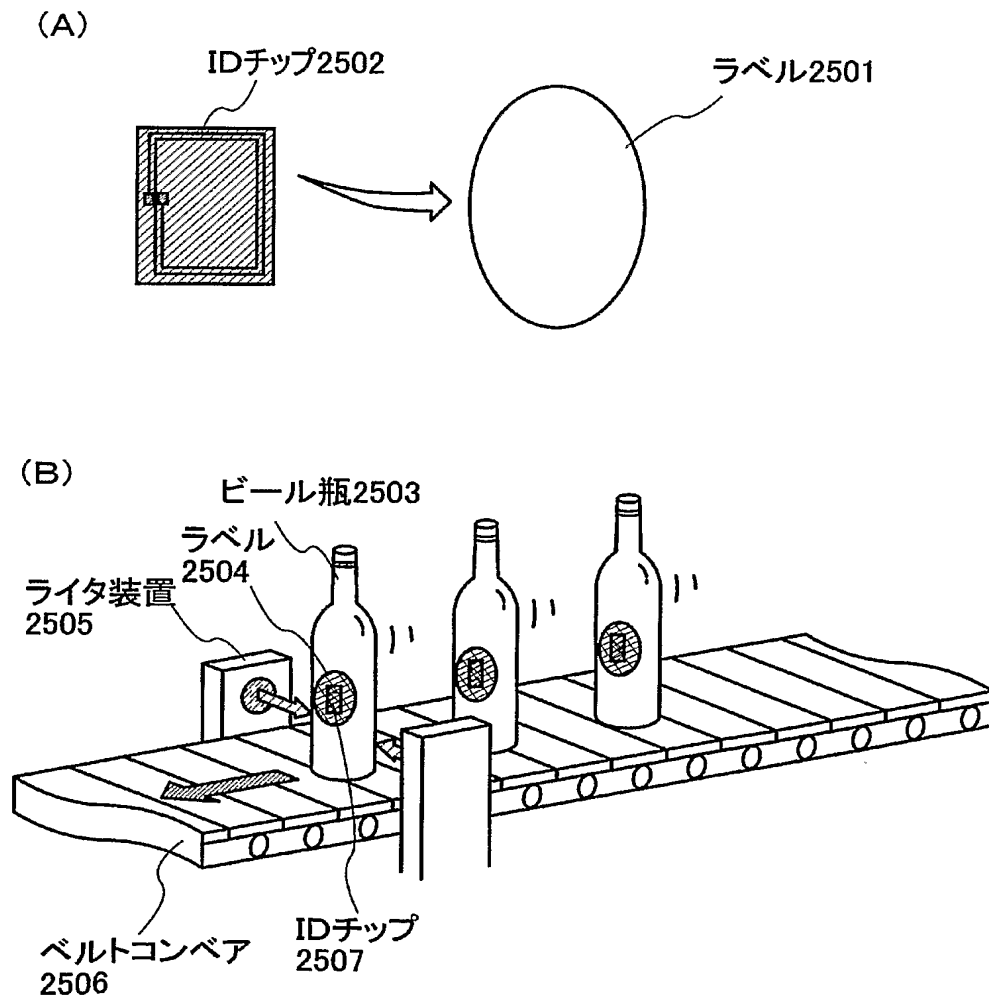
(B)



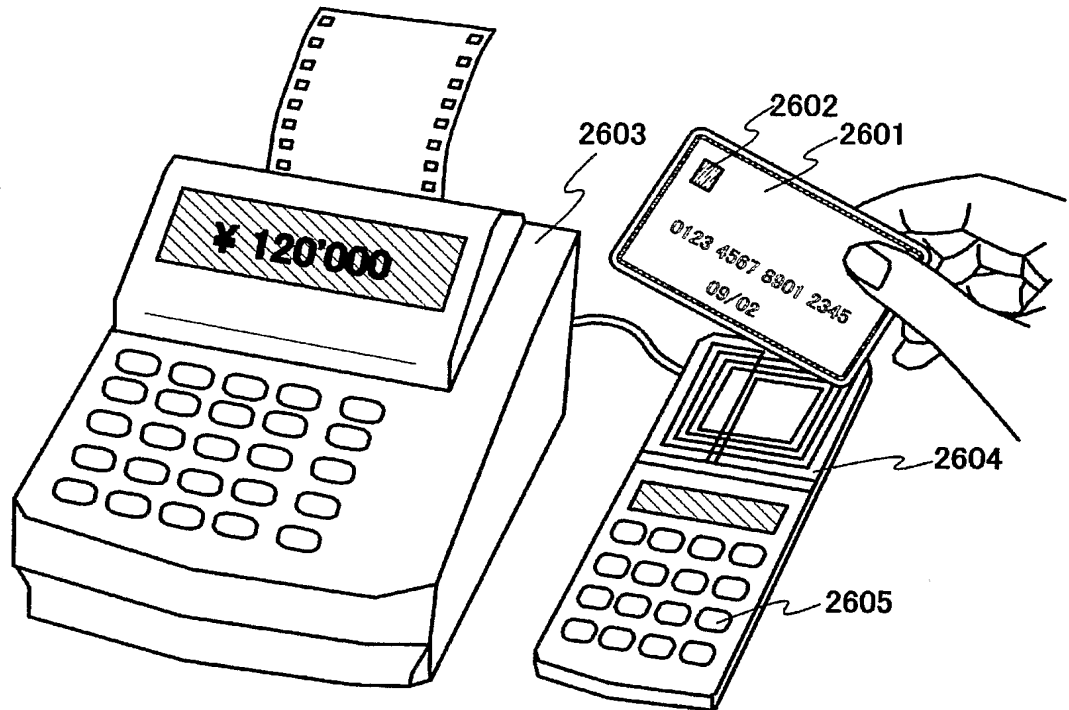
【図 24】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 I Dチップに用いる半導体装置の製造方法において、スループットの高いデータ書き込み方法を提供することを課題とする。

【解決手段】 本発明は、絶縁基板上に変調回路と、復調回路と、論理回路と、メモリ回路と、アンテナ回路とを有する半導体装置の製造方法であり、前記メモリ回路は不揮発性メモリ回路であり、不揮発性メモリのデータは製造時に書き込まれ、データ部分の素子形成は電子ビーム露光を用いて行い、他の部分の露光はミラープロジェクション露光、ステップ・アンド・リピート露光、またはステップ・アンド・スキャン露光を使用することを特徴とする。

【選択図】 図 1



特願 2 0 0 4 - 0 4 5 4 8 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所